

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE  
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR  
ET DE LA RECHERCHE SCIENTIFIQUE

UNIVERSITE LARBI BEN M'HIDI D'OUM EL BOUAGHI  
FACULTE DES SCIENCES EXACTES ET SCIENCE DE LA NATURE ET DE LA VIE  
DEPARTEMENT SCIENCE DE LA MATIERE

N° d'ordre :

Série :

THESE

PRESENTEE POUR OBTENIR LE DIPLOME DE DOCTORAT LMD

SPECIALITE :

PHYSIQUE DES MATERIAUX ET SEMI CONDUCTEURS

THEME

*Etude physique et modélisation du  
transistor à effet de champ à l'échelle  
nanométrique*

Par:

**LAGRAF Fairouz**

Soutenue le: 20 / 12 / 2020

Devant le jury:

Azizi Cherifa	Pr. Univ Larbi Ben M'Hidi Oum El Bouaghi	Président
Guergouri Kamel	Pr. Univ Larbi Ben M'Hidi Oum El Bouaghi	Directeur de thèse
Rechem Djamil	Pr. Univ Larbi Ben M'Hidi Oum El Bouaghi	Co-Directeur de thèse
Latreche Saida	Pr. Univ Frères Mentouri Constantine 1	Examineur
Saidi Yasmina	Pr. Univ Frères Mentouri Constantine 1	Examineur
Benbouza Med Salah	MCA. Univ Mostefa Ben Boulaïd Batna 2	Examineur



## *Dédicace*

*Je dédie ce modeste travail*

*A mes chers parents.*

*A toute ma famille.*

*A mon encadreur Pr. Kamel Guergouri*

*et co-encadreur Pr. Djamil Rechem.*

*A tous mes collègues et mes amis.*

*A tous ceux qui ont sacrifié leur temps pour la science et à tous ceux qui ont utilisé la science pour le bien et la prospérité de l'humanité.*

*Fairouz*



# Remerciements

Je remercie avant tout **ALLAH** le tout puissant, de m'avoir donné le courage, la volonté et la patience de mener à terme ce travail.

J'aimerais tout d'abord remercier mon Directeur et mon Co-directeur de thèse, respectivement **Mrs Guergouri Kamel et Rechem Djamil**, Professeurs à l'université Larbi Ben M'Hidi d'Oum El Bouaghi, avec qui j'ai eu le plaisir de travailler durant ces années de thèse, je tiens à les remercier pour la confiance qu'ils m'ont accordée en me proposant ce sujet de recherche et d'avoir partagé avec moi tous les soucis que j'ai rencontré en préparant cette thèse.

Je ne saurais oublier le soutien moral et humain indéfectible que m'a apporté mon directeur de thèse surtout dans les moments difficiles, qu'il trouve ici toute ma reconnaissance et ma gratitude.

Je remercie vivement **Mme Azizi Cherifa**, Professeur à l'université Larbi Ben M'hidi, qui m'a fait l'honneur de présider le jury de ma thèse.

J'exprime toute ma reconnaissance à **Mme Latreche Saida**, Professeur à l'université de des Frères Mentouri Constantine 1, pour l'intérêt qu'elle a porté à mes travaux en acceptant d'être examinateur de cette thèse.

Mes vifs remerciements s'adressent également à **Mme Saidi Yasmina**, Professeur à l'université des Frères Mentouri Constantine 1, qui m'a fait l'honneur d'accepter de juger mon travail.

Je tiens à remercier sincèrement **Mr Benbouza Mohamed Salah**, MCA à l'université de Mostefa Ben Boulaïd Batna 2, d'avoir bien voulu être examinateur de mon travail.

Mes remerciements ne sauraient être complets si je n'exprimais pas ma profonde gratitude à ma famille et mes amis, qui m'ont tous entouré et m'ont donné la force de passer les moments difficiles.

Enfin, je remercie tous les membres du laboratoire **LCAM** chacun par son nom, ainsi que tous ceux qui ont contribués de près ou de loin à l'aboutissement de ce travail.

# Sommaire

# Sommaire

<b>Liste des symboles, constantes &amp; abréviations.</b>	i
<b>Liste des figures.</b>	iv
<b>Liste des tableaux.</b>	xi
<b>Introduction générale.</b>	1
<b>Chapitre I : Les transistors à effet de champ.</b>	
<b>I.1 Introduction.</b>	5
<b>I.2 Généralités sur Les Transistors à Effet de Champ.</b>	5
<b>I.3 Les différentes familles des transistors à effet de champ.</b>	7
I.3.1 Le Transistor à Effet de Champ à Jonction (JFET).	7
I.3.1.1 Description.	7
I.3.1.2 Principe de base.	8
I.3.2 Le transistor à effet de champ à contact SCHOTTKY (MESFET).	8
I.3.2.1 Description.	8
I.3.2.2 Principe de base.	9
I.3.3 Le transistor HEMT.	9
I.3.3.1 Description.	10
I.3.3.2 Principe de base.	10
<b>I.4 Transistor à Effet de Champ A Grille Isolée (MOSFET).</b>	11
I.4.1 Historique.	11
I.4.2 Principe de base et structure du transistor MOSFET.	12
I.4.3 Les régimes de conduction du transistor MOS.	16
I.4.4 Caractéristiques électriques idéales du transistor MOS.	18
I.4.5 Potentiel de surface.	18
I.4.6 Principaux paramètres des MOSFETs.	19

I.4.7 Miniaturisation des transistors MOS.	20
I.4.7.1 Pourquoi réduire la taille des transistors?	20
I.4.7.2 Problèmes induits par la réduction de la taille des transistors MOS.	21
I.4.7.3 Les effets canaux courts (SCEs).	21
<i>I.4.7.3.1. Impact sur la tension de seuil.</i>	22
<i>I.4.7.3.2. L'effet DIBL et les courant de fuite <math>I_{on}</math>, <math>I_{off}</math>.</i>	22
I.4.7.4 Les solutions technologiques: tendance vers les transistors MOS à Grilles Multiples.	24
<b>I.4.8 Contraintes et domaines d'utilisation d'un transistor MOSFETs.</b>	26
<b>I.5 Conclusion.</b>	27
<b>Références bibliographiques.</b>	28

## **Chapitre II : Les structures émergentes du transistor MOSFET.**

<b>II.1 Introduction.</b>	32
<b>II.2 Technologie multi-grille.</b>	33
<b>II.3 La technologie SOI.</b>	33
II.3.1 Particularité du transistor SOI entièrement déplété.	34
II.3.2 La technologie SOI à grille unique.	35
II.3.3 Avantages de la technologie SOI.	37
II.3.4 Inconvénient de la technologie SOI.	37
<b>II.4 Les transistors à grilles multiples.</b>	38
II.4.1 Le UTB MOSFET.	39
II.4.2 Transistor MOSFET à double grilles (Double-Gate MOSFET).	40
II.4.3 Le FinFET.	41
II.4.4 Le Triple Grille (TG).	42
II.4.5 Le MOSFET Quadruple grille.	43

## ***SOMMAIRE***

---

II.4.6 Modes de fonctionnement des transistors à grilles multiples.	44
II.4.6.1 Etat passant.	44
II.4.6.2 Etat bloqué.	45
II.4.7 Avantages des transistors à grilles multiples.	46
II.4.8 Inconvénients des transistors à grilles multiples.	47
<b>II.5 Différent types des transistors a grille enrobante GAA MOSFET.</b>	<b>47</b>
II.5.1 GAA nanofil.	47
II.5.2 Transistor nanométrique a grille enrobante GAA MOSFET.	48
<b>II.6 Quelques architectures MOSFET à grille enrobée (SGT "surrounding gate transistor").</b>	<b>49</b>
<b>II.6.1 Quelques modèles de la technologie GAA MOSFET.</b>	<b>51</b>
II.6.1.1 Le transistor GAA MOSFET rectangulaire.	51
II.6.1.2 Le transistor GAA MOSFET triangulaire.	52
II.6.1.3 Le transistor GAA MOSFET pentagonal.	52
II.6.1.4 Le transistor GAA MOSFET cylindrique.	53
<b>II.6.2 Le transistor MOSFET cylindrique sans jonction (JLCSG- MOSFET).</b>	<b>54</b>
II.6.2.1 Transistors sans jonction à double matériaux de grille cylindrique (JLDMCSG- MOSFET).	55
II.6.2.2 Transistors sans jonction à trois matériaux de grille cylindrique (JLTMCSG- MOSFET).	55
II.6.2.3 Etude comparative entre deux structures MOSFET: JLTMCSG et JLSMCSG.	56
<b>II.7 Conclusion.</b>	<b>58</b>
<b>Références bibliographiques.</b>	<b>59</b>

## **Chapitre III: Modélisation analytique d'un transistor JLTMCSG- MOSFET.**

<b>III.1 Introduction.</b>	65
<b>III.2 Matériaux utilisés dans les MOSFETs.</b>	66
III.2.1 Le silicium « matériau de base ».	66
III.2.2 Propriétés physiques du Silicium.	67
III.2.3 La silice.	67
III.2.4 Propriétés électriques du SiO <sub>2</sub> .	68
III.2.4.1 Diagramme de bandes.	68
III.2.4.2 Propriétés électriques de l'oxyde.	69
III.2.5 Les pièges de charges.	69
III.2.5.1 Les défauts dans le système Si/SiO <sub>2</sub> .	69
III.2.5.2 Classification des défauts.	70
III.2.5.3 Notion de piège.	71
<b>III.3 Structure métal-semi-conducteur.</b>	71
III.3.1 Travail de sortie du métal.	72
III.3.2 Affinité électronique du semi-conducteur.	73
III.3.3 Barrière de potentiel.	74
<b>III.4 Présentation des structures utilisées.</b>	75
III.4.1 Structure de JLTMCs MOSFET.	75
III.4.2 Structure de JLTMCs MOSFET avec un diélectrique à k élevé.	75
III.4.3 Structure de JLTMCs MOSFET pour l'étude de l'effet pièges des charges sur l'interface.	76
<b>III.5 Equation de Poisson.</b>	78
<b>III.6 Potentiel électrostatique.</b>	78
<b>III.7 Détermination du courant de drain I<sub>ds</sub>.</b>	82

<b>III.8 Détermination de la tension de seuil <math>V_{th}</math>.</b>	82
<b>III.9 Conclusion.</b>	83
<b>Références bibliographiques.</b>	84

### **Chapitre IV: Résultats et interprétations.**

<b>IV.1 Introduction.</b>	86
<b>IV.2 Validation du modèle analytique.</b>	86
<b>IV.3 Etude de l'effet de la longueur du canal sur les performances de JLTMCSSG-MOSFET.</b>	87
IV.3.1 Les Caractéristiques courant tension I-V.	88
IV.3.2 Le Potentiel du surface.	89
IV.3.3 Le champ électrique.	90
IV.3.4 La barrière d'injection source-drain due à la tension de drain (DIBL)	91
IV.3.5 la pente sous-seuil (SS).	92
IV.3.6 la tension de seuil ( $V_{th}$ ).	93
<b>IV.4 Etude de l'effet de les diélectriques élevés K (High K) sur les performances de JLCSG-MOSFET.</b>	95
IV.4.1 Le Potentiel du surface.	96
IV.4.2 Le champ électrique.	96
IV.4.3 Le courant de drain $I_{ds}$ .	97
IV.4.4 Effet de la tension de drain (DIBL) sur la barrière d'injection source-drain	99
IV.4.5 la pente sous-seuil (SS).	99
IV.4.6 la tension de seuil ( $V_{th}$ ).	100
<b>IV.5 Etude de l'effet des pièges des charges de l'interface sur les performances de JLCSG-MOSFET.</b>	102
IV.5.1 Le Potentiel du surface.	102

## **SOMMAIRE**

---

IV.5.2 Le champ électrique.	104
IV.5.3 Le courant du drain $I_{ds}$ .	106
IV.5.4 La barrière d'injection source-drain due à la tension de drain (DIBL).	108
IV.5.5 la pente sous-seuil (SS).	110
IV.5.6 la tension de seuil ( $V_{th}$ ).	112
<b>IV.6 Conclusion.</b>	115
<b>Références bibliographiques.</b>	116
<b>Conclusion générale.</b>	118
<b>Annexe : Organigramme du programme de la modélisation analytique de transistor                   JLTMCSG-MOSFET.</b>	121
<b>Liste des publications &amp; communications.</b>	122
<b>Résumé.</b>	

# Liste des symboles, constantes & abréviations

## **Symboles et constantes**

$I_{ds}$  : Courant de Drain.

$I_{off}$  : Courant à l'état bloqué.

$I_{on}$  : Courant à l'état passant.

$V_d$ : Tension de Drain.

$V_s$ : Tension de Source.

$V_b$ : Contact du substrat.

$V_{fb}$ : Tension de "bandes plates".

$V_{gs}$ : Tension de Grille.

$V_{sat}$  : Tension de saturation des porteurs.

$V_{th}$ : Tension de seuil du dispositif à canal court.

$\Delta V_{th}$ : Décalage de la tension de seuil lié à l'effet *DIBL* et le  $V_{th}$  Roll-off.

$SS$ : Pente sous le seuil.

$L_c$ : Longueur du canal.

$L_g$ : Longueur de grille.

$G_m$ : Transconductance.

$G_d$ : Conductance.

$E_g$ : Energie de la bande interdite.

$E_c$ : Niveau d'énergie de la bande de conduction.

$E_v$ : Niveau d'énergie de la bande de valence.

$E_F$ : Energie de niveau de Fermi.

$N_v$ : Niveau de vide.

$q\Phi_m$  où ( $\Phi_M$ ): Travail de sortie du métal.

$\Phi_{Si}$  : Travail de sortie de Silicium.

$\Phi_{Fh}$  : potentiel de Fermi.

$e\chi_m$  : l'affinité électronique du semi-conducteur.

$\Phi$ : Potentiel électrostatique.

$\Phi_s$  ou bien  $V$ : Potentiel de surface.

$E$ : Champ électrique.

$E_{bn}$  : Barrière de potentiel.

$\epsilon_0$  : Permittivité du vide.

## SYMBOLES, CONSTANTES ET ABREVIATIONS

---

$\epsilon_{si}$  : Permittivité diélectrique du Silicium.  
 $\epsilon_{ox}$  : Permittivité diélectrique d'oxyde.  
 $\epsilon_r$  : Permittivité diélectrique du milieu.  
 $T_{si}$  : Épaisseur du film Silicium.  
 $T_{SiO_2}$  : Épaisseur du dioxyde de silicium.  
 $t_{BOX}$  : Épaisseur d'oxyde enterré.  
 $t_{ox}$  : Épaisseur d'oxyde.  
 $C_{ox}$  : Capacité d'oxyde.  
 $\mu_{eff}$  : Mobilité effective des porteurs.  
 $\mu_n$  : Mobilité des électrons.  
 $\mu_p$  : Mobilité des porteurs.  
 $\mu_0$  : Mobilité des porteurs à champ faible.  
 $N_A$  : Concentration en dopant "accepteurs".  
 $N_D$  : Concentration en dopant "donneurs".  
 $n$  : Densité des électrons.  
 $n_i$  : Densité intrinsèque des porteurs dans le Silicium.  
 $p$  : Densité des trous.  
 $Q_m$  : Densité de charge mobile.  
 $q$  : Charge élémentaire d'électron ( $1,6 \cdot 10^{-19}$  C).  
 $R$  : Rayon du canal cylindrique.  
 $m_0$  : Masse d'électron,  $m_0 = 9,109389 \cdot 10^{-31}$  kg .  
 $K$  : Constante de Boltzmann ( $1,38 \cdot 10^{-23}$  J/K).

## Abréviations et sigles

**FET**: Field Effect Transistor.  
**JFET**: Junction Field Effect Transistor.  
**MESFET**: Metal Semi-conductor Field Effect Transistor.  
**HEMT**: High Electron Mobility Transistors.  
**TEGFET**: Two-dimensional Electron Gas Field Effect Transistor.  
**MODFET**: Modulation Doped Field Effect Transistor.

## ***SYMBOLES, CONSTANTES ET ABREVIATIONS***

---

**HFET:** Heterojunction Field Effect Transistor.

**MOSFET:** Métal-Oxyde-Semiconductor (MOS) Field Effect Transistor (transistor MOS à effet de champ).

**CMOS:** Complementary Metal Oxide Semiconductor.

**SiO<sub>2</sub>:** le dioxyde de silicium.

**NMOS:** Transistor Mos à canal N.

**PMOS:** Transistor Mos à canal P.

**SCEs:** Short-Channel Effects (Effets canaux courts).

**DIBL:** Drain Induced Barrier Lowering (abaissement de la barrière d'injection source/drain due à la tension de drain).

**ITRS:** International Technology Roadmap of Semiconductor (feuille de route internationale des semi-conducteurs).

**SOI:** Silicon-On-Insulator (Silicium sur isolant).

**BOX:** Buried Oxide (oxyde enterré).

**MG:** Multi-Grilles.

**MUGFETs:** Multiple Gate MOSFETs.

**PD SOI:** Partially Depleted SOI.

**FD SOI:** Fully Depleted SOI.

**UTB MOSFET:** Ultra-Thin Body MOSFET.

**DG MOSFET:** Double-Gate MOSFET (transistor MOS à double-grilles).

**Fin FET:** Fin field-effect transistor.

**TG MOSFET:** Triple-Gate MOSFET.

**QG MOSFET:** Quadruple grille MOSFET.

**GAA MOSFET:** Gate-all-around MOSFET.

**SRG MOSFET:** Cylindrical surrounding-gate MOSFET (transistor MOS à grille cylindrique).

**JLSMCSG- MOSFET:** Junction Less Single Material Cylindrical Surrounding-gate MOSFET.

**JLDMCSG- MOSFET:** Junction Less Dual Material Cylindrical Surrounding-gate MOSFET.

**JLTMCSG- MOSFET:** Junction Less Trial Material Cylindrical Surrounding-gate MOSFET.

**Roll-off:** Charge sharing (Partage de charge).

# Liste des figures & tableaux

## Liste des figures

**Chapitre I:**

<b>Figure</b>		<b>Page</b>
<b>I.1</b>	La famille des composants à effet de champ.	<b>6</b>
<b>I.2</b>	Transistor JFET à canal N et à canal P.	<b>7</b>
<b>I.3</b>	Structure de base d'un TEC (MESFET).	<b>9</b>
<b>I.4</b>	Structure d'un transistor HEMT.	<b>10</b>
<b>I.5</b>	Le premier transistor MOSFET, conçu par MM Atalla, D. Kahng.	<b>11</b>
<b>I.6</b>	Evolution du nombre de transistors dans les microprocesseurs INTEL: loi de Moore.	<b>11</b>
<b>I.7</b>	Effet de champ dans un transistor MOS.	<b>12</b>
<b>I.8</b>	Architecture d'un transistor NMOS.	<b>13</b>
<b>I.9</b>	Diagramme schématique de bandes d'énergie d'une structure MOS avec un semi-conducteur de type p, pour les différents modes de fonctionnement: accumulation, déplétion et inversion.	<b>15</b>
<b>I.10</b>	Coupe de MOSFET représentative de son fonctionnement: (a) Accumulation, (b) Déplétion, et (c) Inversion (activation du canal).	<b>16</b>
<b>I.11</b>	Illustration des trois régimes de conduction qui caractérisent le fonctionnement d'un transistor NMOS.	<b>17</b>
<b>I.12</b>	Caractéristiques de sortie (a) et de transfert (b) d'un transistor MOS, décrivant les différents régimes de fonctionnements: (1) régime linéaire; (2) régime non linéaire; (3) régime de saturation.	<b>18</b>
<b>I.13</b>	Caractéristique $I_{ds}(V_{gs})$ à $V_{ds}=V_{dd}$ d'un transistor NMOS. $I_{on}$ , $G_m$ et $V_T$ sont indiqués.	<b>20</b>
<b>I.14</b>	Caractéristique $\text{Log}[I_{ds}(V_{gs})]$ à $V_{ds}=V_{dd}$ d'un transistor NMOS. $I_{on}$ , $I_{off}$ et $S$ sont indiqués.	<b>20</b>

## **LISTE DES FIGURES**

<b>I.15</b>	Schéma énergétique le long du canal dans le cas d'un canal long et d'un canal court montrant l'effet DIBL.	<b>22</b>
<b>I.16</b>	Courbe $V_T (V_{ds})$ illustrant la chute de tension de seuil (a) $I_{ds}-V_{gs}$ dans le cas d'un transistor court pour des tensions de drain en régime ohmique et en saturation (b).	<b>23</b>
<b>I.17</b>	Caractéristique $I_{ds}-V_{gs}$ de p MOSFET (gauche) n MOSFET (droite) avec l'indication des courants de fuite $I_{on}$ et $I_{off}$ .	<b>24</b>
<b>I.18</b>	Schéma décrivant les principales voies (solutions) technologiques: diélectriques de grille "High K" (a); matériaux innovants de Silicium contraint et de forte mobilité (b); architectures Multi-Grilles (c).	<b>26</b>

### **Chapitre II:**

	<b>Figure</b>	<b>Page</b>
<b>II.1</b>	Schéma d'un substrat SOI (Silicon on Insulator).	<b>34</b>
<b>II.2</b>	Coupe schématique de transistors MOS (a) bulk et (b) SOI.	<b>35</b>
<b>II.3</b>	Représentation schématique d'un transistor SOI: (a) entièrement déplété et (b) partiellement déplété.	<b>36</b>
<b>II.4</b>	Coupe transversale de la structure du UTB MOSFET en technologie SOI.	<b>39</b>
<b>II.5</b>	Schéma du DG MOSFET planaire, où les deux grilles sont électriquement Connectées.	<b>40</b>
<b>II.6</b>	Structures du DG MOSFET: symétrique (a); asymétrique (b).	<b>41</b>
<b>II.7</b>	Schéma de la structure général du FinFET.	<b>42</b>
<b>II.8</b>	Schéma de la structure du Triple-Grilles (TG) SOI MOSFET.	<b>42</b>
<b>II.9</b>	L'extension des grilles conduisant aux structures $\Pi$ et $\Omega$ SOI MOSFETs.	<b>43</b>
<b>II.10</b>	Schéma 3D d'un MOSFET à grille enrobée à section carrée.	<b>44</b>

## **LISTE DES FIGURES**

<b>II.11</b>	Caractéristiques $I_{ds}-V_{ds}$ des multi-grilles pour $L=15$ nm, (a) $T_{Si} = 5$ nm et (b) 10 nm. En tirets, le courant est divisé par le nombre de grilles; 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple- grille(QG).	<b>45</b>
<b>II.12</b>	Caractéristiques $I_{ds} -V_{gs}$ en échelle logarithmique des SOI multi-grilles pour $L=15$ nm, (a) $T_{Si} = 5$ nm et (b) $T_{Si} =10$ nm.	<b>46</b>
<b>II.13</b>	Développement de la structure du dispositif classique avec une seule grille plane vers une structure totalement GAA.	<b>47</b>
<b>II.14</b>	Le nanofil MOSFET.	<b>48</b>
<b>II.15</b>	Structure de dispositif MOSFET Quad-Gate.	<b>48</b>
<b>II.16</b>	Structure de dispositif MOSFET cylindrique.	<b>49</b>
<b>II.17</b>	Trois architectures du transistor GAA MOSFET avec des sections différentes.	<b>50</b>
<b>II.18</b>	Coupe et vue en 3D du transistor GAA MOSFET carré.	<b>51</b>
<b>II.19</b>	(a) vue de dessus du layout d'un GAA MOSFET, (b) vue de coupe avec SEM du GAA MOSFET triangulaire avec dimensions, (c) schéma 3D du GAA MOSFE.	<b>52</b>
<b>II.20</b>	Images FIB-SEM des coupes de (a) GAA MOSFET triangulaire et (b) GAA MOSFET pentagonal.	<b>52</b>
<b>II.21</b>	Les étapes simplifiées de réalisation (coupe du canal) du transistor triangulaire, pentagonale et $\Omega$ -gate.	<b>53</b>
<b>II.22</b>	Vue schématique en 3D du transistor GAA MOSFET.	<b>53</b>
<b>II.23</b>	Représentation graphique de la structure JLCSG- MOSFET.	<b>54</b>
<b>II.24</b>	Coupe transversale de la structure JLDMCSG-MOSFET.	<b>55</b>
<b>II.25</b>	Structures MOSFETs, (a) : JLDM CSG et (b); JLTM CSG.	<b>56</b>
<b>II.26</b>	Évolution de la pente sous le seuil (SS) en fonction de la longueur de canal $L_C$ pour JLTMCSG MOSFET et JLSMCSG MOSFET.	<b>57</b>
<b>II.27</b>	Évolution de la tension de seuil ( $V_{th}$ rool-off) en fonction de la longueur de canal $L_C$ pour JLTMCSG MOSFET et JLSMCSG MOSFET.	<b>57</b>

## *LISTE DES FIGURES*

<b>II.28</b>	Abaissement de la barrière d'injection source-drain due à la tension de drain (DIBL) en fonction de la longueur de canal $L_C$ pour : JLTMCSCG MOSFET et JLSMCSG MOSFET.	<b>58</b>
--------------	--	-----------

### **Chapitre III:**

<b>Figure</b>		<b>Page</b>
<b>III.1</b>	Structure de la maille du Silicium.	<b>66</b>
<b>III.2</b>	Motif de base de la silice.	<b>68</b>
<b>III.3</b>	Diagramme de bandes du Si-SiO <sub>2</sub> .	<b>68</b>
<b>III.4</b>	Diagramme de bandes du semi-conducteur faisant apparaître des pièges au niveau d'énergie Et ainsi que les taux de capture et d'émission des porteurs libres.	<b>69</b>
<b>III.5</b>	Représentation des défauts dans l'oxyde de grille et à l'interface Si/SiO <sub>2</sub> .	<b>70</b>
<b>III.6</b>	Illustration des différents mécanismes de piégeage.	<b>71</b>
<b>III.7</b>	Travail de Sortie d'un métal.	<b>72</b>
<b>III.8</b>	L'affinité électronique.	<b>73</b>
<b>III.9</b>	Contact métal/Sc avant et après contacte.	<b>74</b>
<b>III.10</b>	Vue en coupe de JLTMCSC MOSFET.	<b>75</b>
<b>III.11</b>	Coupe transversal de la structure JLTMCSCG-MOSFET avec un diélectrique à K élevé.	<b>76</b>
<b>III.12</b>	Coupe transversal de la structure JLTMCSCG-MOSFET avec des pièges des charges sur l'interface.	<b>77</b>
<b>III.13</b>	Transistor à couches minces (TFT) réalisé expérimentalement. (a) Micrographie optique d'un transistor à couches minces avec une largeur de canal de 100 $\mu\text{m}$ et une longueur de canal de 20 $\mu\text{m}$ . (b) Coupe transversale d'un transistor à couches minces (TFT).	<b>77</b>

## *LISTE DES FIGURES*

### **Chapitre IV:**

<b>Figure</b>	<b>Page</b>
<b>IV.1</b> Caractéristiques courant tension I-V du transistor JLDMCSG-MOSFETs avec différentes rayons de silicium.	<b>87</b>
<b>IV.2</b> Caractéristiques courant tension I-V du transistor JLTMCSG-MOSFETs avec différentes structures de la longueur du canal. Les paramètres de simulations sont: $R = 10 \text{ nm}$ , $t_{\text{ox}} = 1 \text{ nm}$ et $V_{\text{ds}} = 0.5 \text{ V}$ .	<b>89</b>
<b>IV.3</b> Potentiel de surface de JLTMCSG-MOSFETs avec différentes structures de la longueurs du canal. Les paramètres de simulations sont: $L_C = 120 \text{ nm}$ , $R = 10 \text{ nm}$ , $t_{\text{ox}} = 1 \text{ nm}$ , $V_{\text{gs}} = 0,2 \text{ V}$ et $V_{\text{ds}} = 0,5 \text{ V}$ .	<b>90</b>
<b>IV.4</b> Champ électrique de JLTMCSG-MOSFETs avec différentes structures de la longueurs du canal. Les paramètres de simulations sont: $L_C = 120 \text{ nm}$ , $R = 10 \text{ nm}$ , $t_{\text{ox}} = 1 \text{ nm}$ , $V_{\text{gs}} = 0,2 \text{ V}$ et $V_{\text{ds}} = 0,5 \text{ V}$ .	<b>91</b>
<b>IV.5</b> Abaissement de la barrière d'injection source-drain due à la tension de drain (DIBL) en fonction de la longueur de canal $L_C$ pour différents structue de la longueurs du canal. Les paramètres de simulations sont: $R = 10 \text{ nm}$ , $t_{\text{ox}} = 1 \text{ nm}$ , et $V_{\text{ds}} \text{ faible} = 0,05 \text{ V}$ , $V_{\text{ds}} \text{ élevée} = 1 \text{ V}$ .	<b>92</b>
<b>IV.6</b> Évolution de la pente sous le seuil (SS) en fonction de la longueur de canal $L_C$ pour différents structue de la longueurs du canal. Les paramètres de simulations sont: $R = 10 \text{ nm}$ , $t_{\text{ox}} = 1 \text{ nm}$ , et $V_{\text{ds}} \text{ faible} = 0,05 \text{ V}$ , $V_{\text{ds}} \text{ élevée} = 1 \text{ V}$ .	<b>93</b>
<b>IV.7</b> Évolution de la tension de seuil ( $V_{\text{th}}$ ) en fonction de la longueur de canal $L_C$ pour différents. Les paramètres de simulations sont: are $R = 10 \text{ nm}$ , $t_{\text{ox}} = 1 \text{ nm}$ , $V_{\text{gs}} = 0,3 \text{ V}$ et $V_{\text{ds}} = 0,5 \text{ V}$ .	<b>94</b>
<b>IV.8</b> Potentiel de surface de JLTMCSG-MOSFETs avec différentes structures de la longueurs du canal. Les paramètres de simulations sont: $L_c = 120 \text{ nm}$ , $R = 10 \text{ nm}$ , $t_{\text{ox}} = 1 \text{ nm}$ , $V_{\text{gs}} = 0,2 \text{ V}$ et $V_{\text{ds}} = 0,5 \text{ V}$ .	<b>96</b>
<b>IV.9</b> Champ électrique de JLTMCSG-MOSFETs avec différentes structures de la longueurs du canal. Les paramètres de simulations sont: $L_c = 120 \text{ nm}$ , $R = 10 \text{ nm}$ , $t_{\text{ox}} = 1 \text{ nm}$ , $V_{\text{gs}} = 0,2 \text{ V}$ et $V_{\text{ds}} = 0,5 \text{ V}$ .	<b>97</b>
<b>IV.10</b> Caractéristiques courant tension I-V du transistor JLTMCSG-MOSFETs avec	<b>98</b>

## *LISTE DES FIGURES*

	différentes structures de la longueur du canal. Les paramètres de simulations sont: $R=10\text{ nm}$ , $t_{\text{ox}} = 1\text{ nm}$ et $V_{\text{ds}}=0.5\text{V}$ .	
<b>IV.11</b>	Abaissement de la barrière d'injection source-drain due à la tension de drain (DIBL) en fonction de la longueur de canal $L_C$ pour différents structures de la longueurs du canal. Les paramètres de simulations sont: $R = 10\text{ nm}$ , $t_{\text{ox}} = 1\text{ nm}$ , et $V_{\text{ds faible}} = 0,05\text{ V}$ , $V_{\text{ds élevée}} = 1\text{ V}$ .	<b>99</b>
<b>IV.12</b>	Évolution de la pente sous le seuil (SS) en fonction de la longueur de canal $L_C$ pour différents structue de la longueurs du canal. Les paramètres de simulations sont: $R= 10\text{ nm}$ , $t_{\text{ox}}= 1\text{ nm}$ , et $V_{\text{ds faible}} = 0,05\text{ V}$ , $V_{\text{ds élevée}} = 1\text{ V}$ .	<b>100</b>
<b>IV.13</b>	Évolution de la tension de seuil ( $V_{\text{th}}$ ) en fonction de la longueur de canal $L_C$ pour différents. Les paramètres de simulations sont: are $R = 10\text{ nm}$ , $t_{\text{ox}} = 1\text{ nm}$ , $V_{\text{gs}} = 0,3\text{ V}$ et $V_{\text{ds}} = 0,5\text{ V}$ .	<b>101</b>
<b>IV.14</b>	Potentiel de surface de JLTMCSSG-MOSFETs pour différentes densités des charges piégées situé près de: (a): Source, (b): Centre, (c): Drain. Les paramètres de simulations sont: $L_c = 120\text{ nm}$ , $R = 10\text{ nm}$ , $t_{\text{ox}} = 1\text{ nm}$ , $V_{\text{gs}}=0,2\text{ V}$ et $V_{\text{ds}} = 0,5\text{ V}$ .	<b>104</b>
<b>IV.15</b>	Champ électrique de JLTMCSSG-MOSFETs pour différentes densités des charges piégées situé près de: (a): Source, (b): Centre, (c): Drain. Les paramètres de simulations sont: $L_c = 120\text{ nm}$ , $R = 10\text{ nm}$ , $t_{\text{ox}} = 1\text{ nm}$ , $V_{\text{gs}}=0,2\text{ V}$ et $V_{\text{ds}} = 0,5\text{ V}$ .	<b>106</b>
<b>IV.16</b>	Caractéristiques courant tension I-V du transistor JLTMCSSG-MOSFETs pour différentes densités des charges piégées situé près de: (a): Source, (b): Centre, (c): Drain. Les paramètres de simulations sont: $R=10\text{ nm}$ , $t_{\text{ox}} = 1\text{ nm}$ et $V_{\text{ds}}=0.5\text{V}$ .	<b>108</b>
<b>IV.17</b>	Abaissement de la barrière d'injection source-drain due à la tension de drain (DIBL) en fonction de la longueur de canal $L_C$ pour différentes densités des charges piégées situé près de: (a): Source, (b): Centre, (c): Drain. Les paramètres de simulations sont: $R = 10\text{ nm}$ , $t_{\text{ox}} = 1\text{ nm}$ et $V_{\text{ds faible}} = 0,05\text{ V}$ , $V_{\text{ds élevée}} = 1\text{ V}$ .	<b>110</b>
<b>IV.18</b>	Évolution de la pente sous le seuil (SS) en fonction de la longueur de canal $L_C$ pour différentes densités des charges piégées situé près de: (a): Source, (b): Centre, (c): Drain. Les paramètres de simulations sont: $R = 10\text{ nm}$ , $t_{\text{ox}} = 1\text{ nm}$ et $V_{\text{ds faible}} = 0,05\text{ V}$ , $V_{\text{ds élevée}} = 1\text{ V}$ .	<b>112</b>

## *LISTE DES FIGURES*

---

<b>IV.19</b>	Évolution de la tension de seuil ( $V_{th}$ ) en fonction de la longueur de canal $L_C$ pour différentes densités des charges piégées situé près de: (a): Source, (b): Centre, (c): Drain. Les paramètres de simulations sont: $R = 10$ nm, $t_{ox} = 1$ nm, $V_{gs} = 0,3$ V et $V_{ds} = 0,5$ V.	<b>114</b>
--------------	--	------------

## Liste des tableaux

Tableau		Page
<b>III.1</b>	Propriétés physiques du silicium.	<b>67</b>
<b>III.2</b>	Travaux de sortie de quelques métaux.	<b>73</b>
<b>III.3</b>	Affinité électronique de quelques SC.	<b>74</b>

# Introduction générale

# Introduction générale

Il y a plus de cinquante années, l'industrie des semi-conducteurs a connu un grand progrès et une amélioration remarquable sur le plan des produits commercialisés: de hautes performances technologiques ont déjà été atteintes. Cela a permis l'amélioration significative de la productivité économique ainsi que la qualité globale de la vie par le développement d'ordinateurs de plus en plus performants, d'outils de communication compétitifs et de dispositifs électroniques innovants [1].

La croissance rapide de l'industrie des semi-conducteurs est due principalement à la capacité de diminuer exponentiellement la taille des transistors MOS (Metal Oxide Semi-conductor) existant dans la fabrication des circuits intégrés (CIs) et en technologie CMOS (Complementary Metal Oxide Semi-conductor). Ceci est habituellement exprimé par la fameuse loi de Moore, c'est-à-dire, l'augmentation du nombre de transistors par unité de surface. Afin de suivre cette croissance industrielle, les dimensions des transistors vont de plus en plus vers l'échelle nanométrique [1].

Les débuts de la nanoélectronique moderne coïncide avec la mise au point de la technologie Metal Oxide Semi-conducteur (MOS) en 1970. Cette technologie permet de fabriquer des transistors plus petits et plus rapides. Une course à la densité, à la vitesse et à la faible consommation a commencé. Cette croissance de la densité passe par un processus de miniaturisation des dispositifs, qui tente de maintenir les caractéristiques électriques constantes. Plusieurs façons de procéder ont vu le jour, le principal problème de la miniaturisation étant la dépendance directe des caractéristiques électriques vis à vis des paramètres physiques contrôlables. Ceci entraîne de nombreux effets parasites qui modifient les performances et la consommation d'énergie des systèmes [2].

Malheureusement, la course à la miniaturisation de transistors MOS affronte un certain nombre de problèmes qui sont devenus des défis. Le problème peut être technologique, comme les difficultés de la fabrication et surtout la maîtrise de couches fines de silicium, le problème peut être également de nature quantique ou physique. Nous pensons au problème des "effets des canaux courts" (SCEs) qui est lié à la forte réduction de la longueur du canal de transistor. À l'heure actuelle, les SCEs représentent un énorme obstacle de la miniaturisation, car ils perturbent le bon fonctionnement de dispositifs MOS et limitent alors l'évolution de la technologie CMOS [1].

Pour faire face à ses effets, la recherche s'est orienter vers la découverte de nouvelles architectures permettant d'améliorer les performances des composants électroniques.

Les solutions technologiques permettant de minimiser ou même d'éliminer ces effets indésirables et gênants coutent malheureusement très cher, ce qui a pour conséquence la fin de la technologie

MOS Bulk, atteignant par la force des choses ses limites. Ceci a alors amené les concepteurs à s'orienter vers d'autres architectures de MOSFETs basées sur la technologie SOI. Ce nouveau type de transistors à grilles multiples représente les dispositifs les plus prometteurs pour succéder à la technologie MOS Bulk et sont considérés comme une alternative sérieuse pour passer outre les contraintes de dimensions imposées par la loi de Moore [3].

Parmi ces architectures multi grilles on cite les doubles grilles, le FinFet, le Tri-Gate, le Pi-Gate, l'Oméga Gate et le Cylindrical Surrounding Gate MOSFETs. Ces transistors sont actuellement soumis à une étude intense par une approche simulatrice et une approche modélisante.

Les travaux menés dans le cadre de cette thèse se sont concentrés sur l'étude et la modélisation des transistors JLTMCSSG-MOSFETs (Junction Less Trial Material Cylindrical Surrounding gate MOSFETs). Le travail s'est articulé autour de quatre chapitres principaux, une introduction générale et une conclusion générale.

Après une introduction faisant apparaître l'état de l'art et situant notre travail par rapport au développement acquis dans la technologie MOSFET, nous avons entamé le premier chapitre qu'on a consacré à quelques rappels nécessaires sur les transistors à effet de champ, en précisant le principe de fonctionnement de transistor MOSFET, leur régimes de conduction et leurs caractéristiques électriques. Il évoque également l'intérêt de leur miniaturisation et les principaux effets issus de la réduction des dimensions qui s'opposent à la miniaturisation de ces transistors. Ce chapitre est terminé par la présentation des solutions technologiques des obstacles causés par la miniaturisation des TMOS.

Dans le deuxième chapitre nous exposons de façon claire l'évolution de la technologie Multi-Grilles (MG) FETs, ainsi qu'une description de chaque structure, afin de faire apparaître le comportement de chaque structure par rapport à l'autre pour réduire les effets des canaux courts.

Le troisième chapitre est dédié essentiellement à la modélisation du transistor JLTMCSSG-MOSFET, afin de prédire le comportement électrique des transistors JLTMCSSG-MOSFET. Pour ce faire nous avons jugé nécessaire de présenter le matériau de base pour la fabrication des transistors MOSFETs en même temps que nous avons présenté les paramètres essentiels dans la structure métal semi conducteur.

Dans une seconde étape, nous avons présenté les structures utilisées pour la simulation ainsi qu'une description de la formulation analytique du modèle utilisé.

Le quatrième chapitre a été réservé exclusivement à présenter les résultats de simulation du transistor JLTMCSSG-MOSFET. Dans la première partie, nous l'avons consacré à la validation des résultats par comparaison des résultats obtenus via le modèle analytique avec ceux déduits de la littérature [4].

## ***INTRODUCTION GENERALE***

---

Dans la deuxième partie, nous nous sommes intéressés à l'étude de l'impact de la longueur du canal, l'effet des diélectriques élevés  $k$  et l'effet des pièges des charges sur les performances du JLTCSG-MOSFET.

Le manuscrit est terminé par une conclusion générale qui rappelle les principaux résultats obtenus au cours de cette thèse et énoncer les perspectives de ce travail.

## Références bibliographiques

- [1] SMAANI. B, "Etablissement de modèles compacts de transistors MOS multi grilles nanométriques en vue de leur application pour la conception de circuits". Thèse de doctorat, université de Constantine, 2015.
- [2] Belhadji. A, Mébarki. B, "Etude et modélisation d'un transistor MOSFET multigrille". Mémoire de master, université Dr Moulay Tahar de Saida, 2016.
- [3] Khaouani. M, "Etude et conception d'un transistor nanométrique a grille enrobante GAA MOSFETs". Thèse de doctorat, université Aboubakr Belkaïd –Tlemcen-, 2018.
- [4] Chiang. T.K A, "new compact subthreshold behavior model for dual-material surrounding gate (DMSG) MOSFETs". Solid-State Electronics, 53(5), 490-496, 2009.

# Chapitre I: Les transistors à effet de champ

# Chapitre I

## Les transistors à effet de champ

### I.1 Introduction

Les transistors prennent sans nul doute la plus grande part de l'activité microélectronique moderne. Dans ce domaine un très large effort a été déployé pour les composants unipolaires, qui incluent les transistors à effet de champ sous leurs différentes formes.

Les transistors à effet de champ ont toujours été considérés parmi les composants électroniques omniprésents dans notre vie quotidienne, ils jouent un rôle très important dans la nouvelle technologie, ils sont dans le cœur de la révolution qui a porté une grande part de développement technologique à haut niveau.

Dans ce premier chapitre, nous allons présenter les différentes familles des transistors à effet de champ (JFET, MESFET, HEMT et MOSFET,...), nous parlerons du dispositif de notre étude, sa structure et son principe de fonctionnement.

Nous citerons aussi dans ce chapitre quelques concepts concernant les principaux paramètres des MOSFETs et les principaux effets dus à la réduction des dimensions et nous tacherons de décrire les limites des solutions technologiques.

### I.2 Généralités sur Les Transistors à Effet de Champ

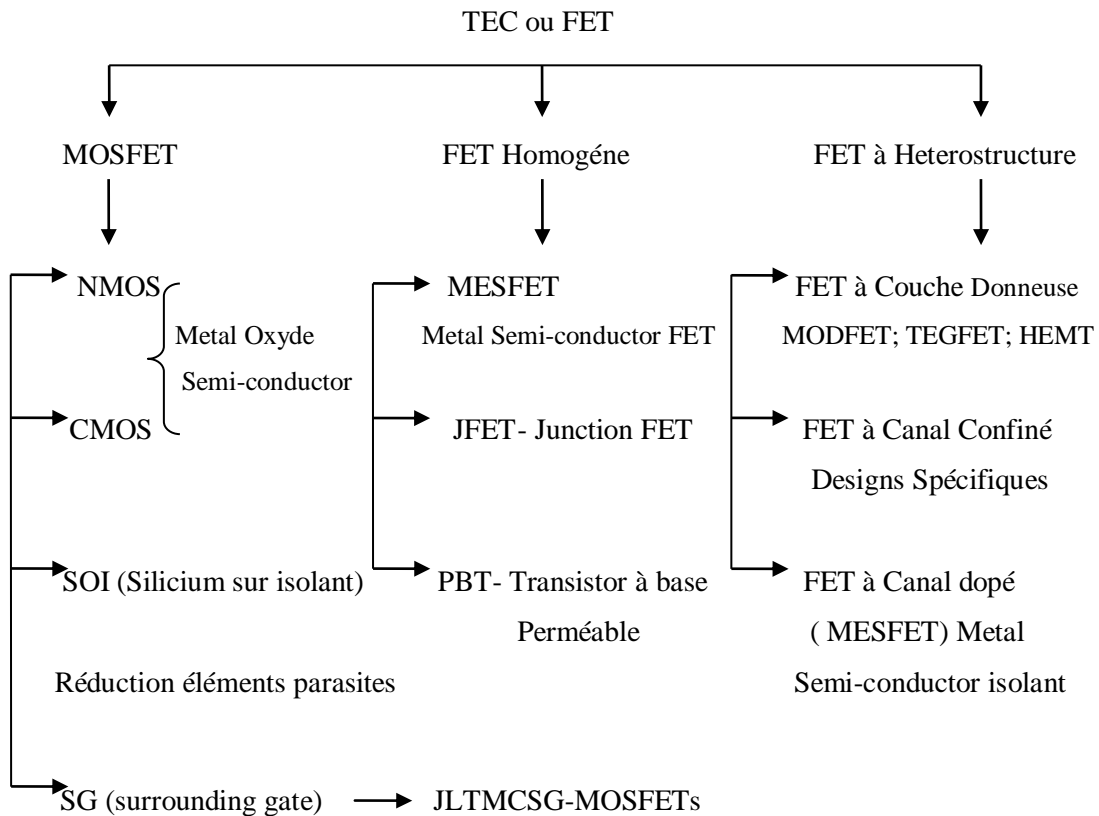
En 1952 W. Shockley a expliqué le principe physique des transistors à effet de champ FET (Field Effect Transistors) [1]; il énonce que le transistor à effet de champ (FET) ou (TEC) est un dispositif unipolaire où seuls les porteurs majoritaires interviennent dans le fonctionnement. Ainsi, pour une utilisation aux hautes fréquences, il est préférable que le type de porteur responsable de l'effet transistor soit celui présentant les meilleures propriétés de transport: mobilité, vitesse et coefficient de diffusion. Les électrons possédant des propriétés plus intéressantes que les trous, les FET sont essentiellement élaborés sur la base de matériaux de type N. Principalement il y a trois structures des transistors à effets de champ liées à différents contacts de grille [2-6]:

- ✓ grille à jonction PN pour le transistor JFET (Junction Field Effect Transistor).
- ✓ grille métallique isolée pour le transistor MOSFET (Metal Oxyde Semi-conductor Field Effect Transistor).

- ✓ grille métallique à barrière Schottky pour le transistor MESFET (Metal Semi-conductor Field Effect Transistor).

De nouveaux transistors pouvant contrôler des puissances supérieures à celles des FET homogènes sont en train d'émerger [4-6]. Ils ne sont pas fabriqués à base de Silicium ou d'Arséniure de Gallium, car ces matériaux sont utilisés près de leurs limites physiques ultimes.

Aujourd'hui, les semi-conducteurs à large bande interdite sont les candidats idéaux pour réaliser un nouveau saut technologique. Nous pouvons citer les FET à hétéro-structure. En effet, les propriétés physiques (champ électrique de claquage, vitesse de saturation, conductivité thermique) des matériaux utilisés (ex:  $Ga_{1-x}Al_xAs$ ) en font de ces composants un bon choix pour un grand nombre d'applications nécessitant une forte puissance et à haute température. Pour ce faire, les technologues ont imaginé des procédés de fabrication de plusieurs types de composants à effet de champs qu'on regroupe suivant la structure dans l'organigramme suivant:



**Fig.I.1** La famille des composants à effet de champ [7].

## I.3 Les différentes familles des transistors à effet de champ

### I.3.1 Le Transistor à Effet de Champ à Jonction (JFET)

Le transistor JFET fait partie de la famille des transistors à effet de champ. Le concept d'un semi-conducteurs à triode comme structure similaire au transistor à effet de champ à jonction (JFET) a été proposé, la première fois, par Jules Lilienfeld dans trois brevets vers les années 1925, suivis d'un brevet semblable par Oskar Heil en 1935. Cependant, un dispositif fonctionnant réellement est demeuré évasif pendant une période d'encre 25 années, principalement du à la difficulté de développer une surface semi-conductrice propre. Après ces années, les efforts cumulatifs d'un certain nombre de chercheurs aux laboratoires de Bell comprenant Atalla au New York, Bardeen, Brattain, brun, Derick, Frosch, Gibney, Hoerni, Kahng, Ligenza, Shockley, Spitzer, et Warner ont lentement mené à la réalisation de ce dispositif [4-6].

#### I.3.1.1 Description

Le transistor JFET (Junction Field Effect Transistor) est un composant de structure plane, il existe deux types de transistors JFET:

**JFET à canal N (ou canal P):** Il est constitué par une mince couche de matériau semi-conducteur de type N (ou P), sur un substrat de type P(ou N). Une diffusion de type P+(ou N+)à la surface de la couche réalise l'électrode de la grille et constitue ainsi une jonction P+N verticale. Deux diffusions N+(ou P+), aux extrémités du canal, permettent d'assurer les contacts ohmiques de source et de drain.

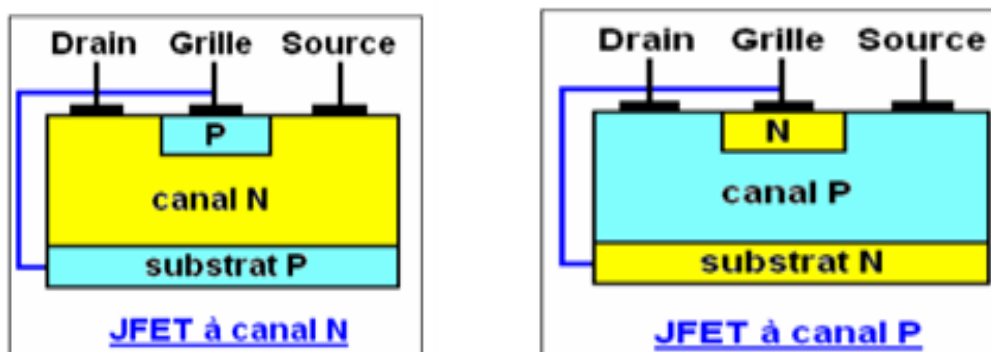


Fig.I.2 Transistor JFET à canal N et à canal P.

### I.3.1.2 Principe de base [8]

En fonctionnement normal la tension entre le drain et la source est positive et celle entre la grille et la source (jonction P-N) est négative. L'augmentation de cette tension inverse fait croître les zones de déplétion (non conductrices) autour du canal jusqu'au pincement de celui-ci. La conduction du canal est donc modulée par la variation de la polarisation.

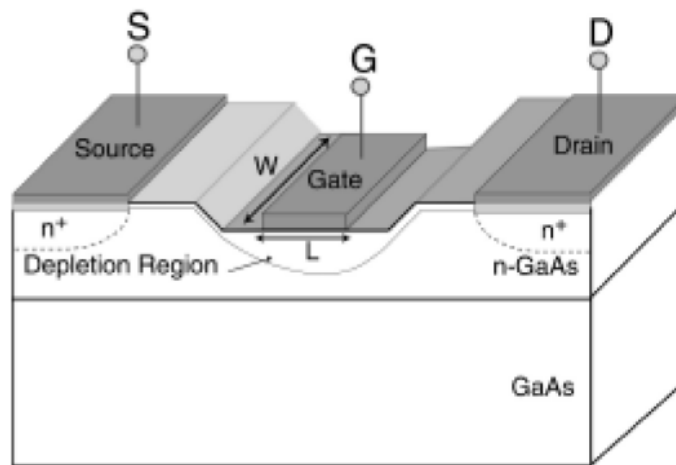
### I.3.2 Le transistor à effet de champ à contact SCHOTTKY (MESFET) [8]

Le MESFET (Metal Semi-conducteur Field Effect Transistor) fut le premier composant à être fabriqué à partir d'un composé III-V. En 1966 Carver Mead [9] proposa en premier lieu de remplacer le Silicium des premiers FET par un semi-conducteur III-V tel que l'Arséniure de Gallium (GaAs), ce qui a été ensuite réalisé par Hooper [10]. Cette évolution au niveau matériau a permis l'utilisation des MESFET aux fréquences micro-ondes, et depuis cette date de nombreux travaux ont été effectués pour réaliser des transistors de plus en plus performants à base de matériau à grand gap. Les premiers résultats obtenus avec un MESFET au carbure de silicium (4H-SiC) datent de 1994.

#### I.3.2.1 Description [8]

Pour éviter les processus d'élaboration à haute température qui sont associés à la réalisation des jonctions P-N, la jonction P-N est remplacée par possédant barrière Schottky. Le principal avantage de la structure du contact métal-semi-conducteur est qu'elle ne nécessite qu'un dépôt de métal suivi d'une délimitation par photogravure d'où la possibilité de contrôler les dimensions des contacts avec une précision inférieure au micron, ce qui n'est pas le cas pour les jonctions P-N. La technique ainsi obtenue est dénommée "MESFET" tirée de l'origine anglo-saxonne: "Metal Semi-conducteur Field Effect transistor". Pour illustrer cette description prenons le transistor MESFET GaAs:

La structure d'un transistor à effet de champ à l'arséniure de gallium à grille Schottky (MESFET GaAs) sous sa forme classique est représentée sur la figure I.3.



**Fig.I.3** Structure de base d'un TEC (MESFET) [8].

### I.3.2.2 Principe de base [8]

Le principe de fonctionnement du MESFET est identique à celui d'un transistor à effet de champ à jonction (JFET), il est basé sur la modulation de la conductance entre deux contacts ohmiques appelés "Source" et "Drain", par l'action électrostatique d'une électrode de commande dénommée "Grille".

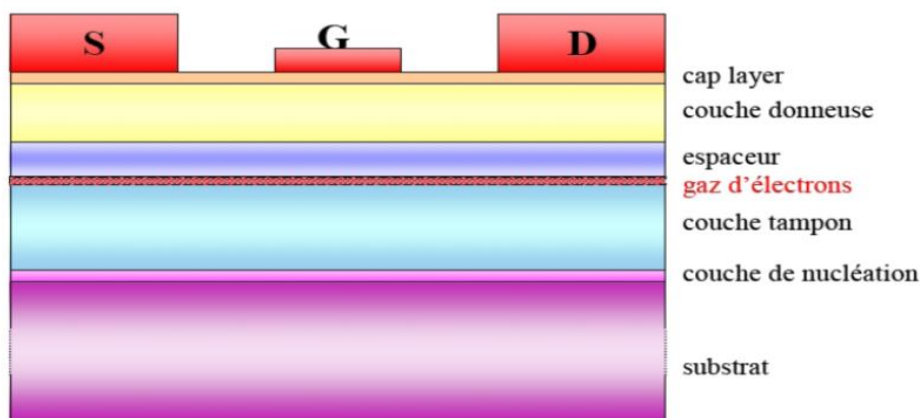
### I.3.3 Le transistor HEMT

Le HEMT (High Electron Mobility Transistors) appartient à la famille des transistors à effet de champ. Il est un cas particulier du MESFET. Ce composant possède plusieurs dénominations dans la terminologie anglo-saxonne, TEGFET (Two-dimensional Electron Gas Field Effect Transistor), MODFET (Modulation Doped Field Effect Transistor) mais également HFET (Hetero junction Field Effect Transistor). Ce dernier terme est toutefois généralement plutôt réservé à un autre composant à hétéro structure dans lequel le transport s'effectue dans un matériau dopé alors qu'il est non dopé pour le HEMT [11].

Les premiers transistors HEMT sont apparus en 1980 (Fujitsu, Thomson). En 1985, le HEMT est présenté comme un composant micro-onde unique ayant les plus faibles caractéristiques en bruit au monde, et petit à petit, ce composant s'est fait une place dans notre quotidien. Ce composant est désormais largement utilisé en tant que composant faible bruit dans les systèmes de télécommunications terrestres et spatiales, dans les radiotélescopes, dans les récepteurs de télévision par satellite, dans bon nombre de systèmes électroniques, des téléphones portables aux véhicules automobiles [12].

### I.3.3.1 Description [11]

La structure d'un HEMT (Figure I.4) est constituée essentiellement de trois matériaux différents: le substrat, un matériau à large bande interdite et un matériau à plus faible bande interdite. La jonction de ces deux derniers matériaux engendre la formation du gaz bidimensionnel d'électrons à l'interface, dont la densité est modulée par la tension appliquée à la grille du composant. L'autre phénomène caractéristique du fonctionnement d'un HEMT, outre l'existence d'un gaz d'électrons, est la jonction Schottky créée par la jonction métal de grille et semi-conducteur du substrat.



**Fig.I.4** Structure d'un transistor HEMT [11].

### I.3.3.2 Principe de base [11, 13]

Le principe de fonctionnement du HEMT est basé sur la modulation de la conductance entre les deux contacts ohmiques source et drain, par l'action électrostatique d'une électrode de commande dénommée grille (jonction de type Schottky) pouvant contrôler en nombre la densité de porteurs présents dans le gaz bidimensionnel. La variation de cette conductance est proportionnelle au nombre de porteurs libres dans le canal, et donc au courant entre source et drain. C'est l'effet d'amplification transistor qui permet de transformer un faible signal appliqué sur la grille en un signal plus fort récupéré sur le drain. La différence avec le transistor classique est que le HEMT utilise une hétérojonction.

## I.4 Transistor à Effet de Champ à Grille Isolée (MOSFET)

### I.4.1 Historique

Le principe de fonctionnement du transistor (MOSFET) métal oxyde semi-conducteurs à effet de champ a été décrit pour la première fois par Lilienfield en 1930 [14]. En décembre 1947, John Bardeen et Walter H. Brattain réalisaient le premier transistor en germanium [15].

Avec William B. Shockley le transistor à jonction et la théorie associée sont développées aux Bell Laboratoires en 1951 à New York. En 1958, Jack Kilby invente le circuit intégré en fabriquant cinq composants sur le même substrat [16]. C'est en 1960 que Kahng et Atalla ont présenté le premier transistor MOS sur Silicium qui reste aujourd'hui le semi-conducteur généralement le plus utilisé, vu la qualité inégalée de l'interface créée par le silicium et l'oxyde de silicium ( $\text{SiO}_2$ ), qui sert d'isolant. Peu après, l'élaboration de la technologie CMOS assura le futur commercial et technologique du MOSFET en électronique intégrée (mémoires, microprocesseurs, circuits logiques) grâce à une géométrie simple et une consommation pouvant être très faible.



Fig.I.5 Le premier transistor MOSFET, conçu par MM Atalla, D. Kahng [17].

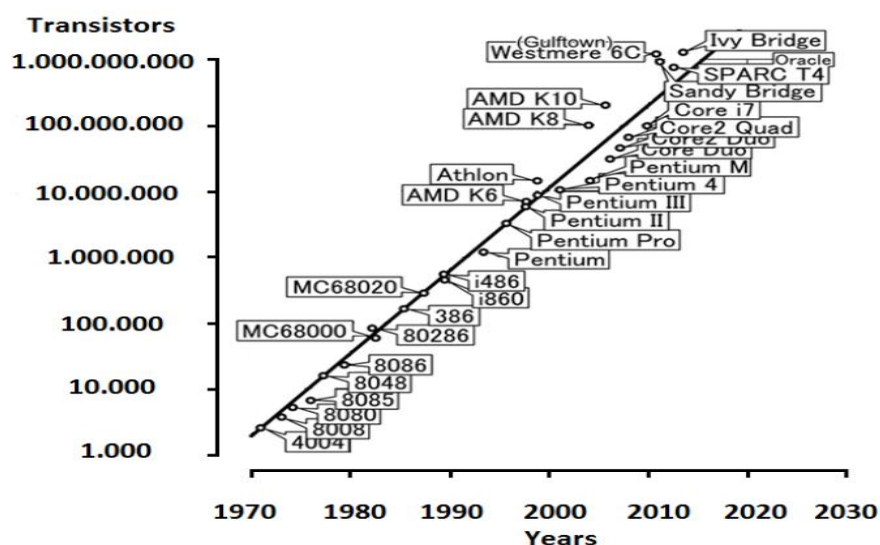


Fig.I.6 Evolution du nombre de transistors dans les microprocesseurs INTEL: loi de Moore [18].

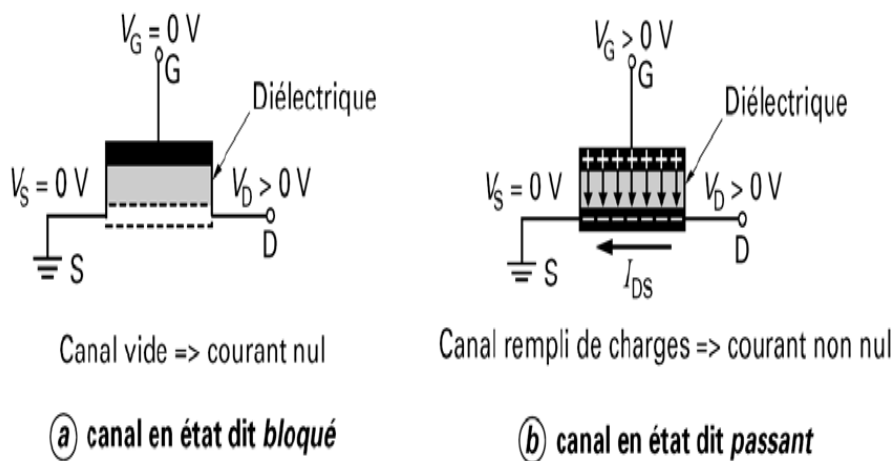
**I.4.2 Principe de base et structure du transistor MOSFET**

Le principe du transistor MOS consiste à moduler la densité de porteurs du canal en jouant sur la polarisation de grille ( $V_{gs}$ ). Celle-ci permet, par le biais du champ électrique ainsi créé, d'attirer une quantité de porteurs à la surface du semi-conducteur. Une couche conductrice se forme alors à ce niveau et permet la libre circulation d'un courant ( $I_{ds}$ ), sous réserve de l'application d'un champ électrique (i.e. d'une tension  $V_{ds}$ ). Cette couche conductrice est appelée « **couche d'inversion** » ou parfois « **canal** » [19-21]. La figure I.7 illustre l'effet de champ dans un transistor MOS:

- l'une des électrodes (grille G) commande l'intensité du champ électrique et par conséquent la densité de charges électriques mobiles.
- l'autre (canal) possède deux contacts (dits de source S et de drain D) à ses extrémités, entre lesquels est appliquée une différence de potentiel.

Le canal conduit plus ou moins du courant en fonction de son niveau de remplissage en charges mobiles. De ce fait, le transistor MOS peut aussi être considéré comme une résistance modulable électro statiquement et reliant deux contacts (source et drain).

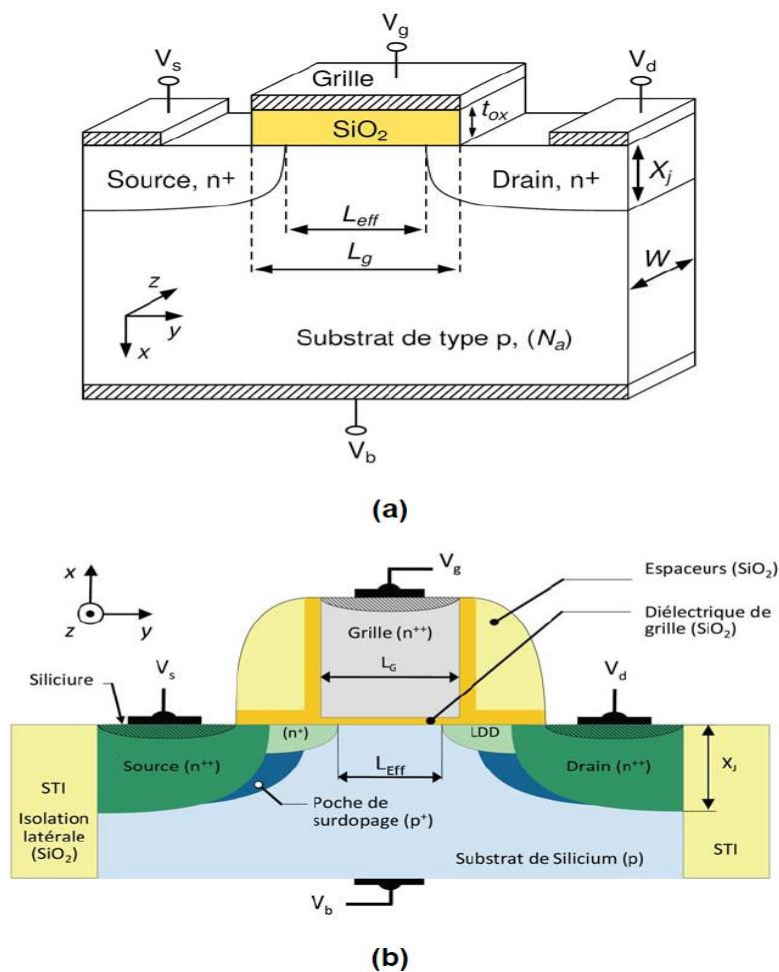
En résumé, un transistor MOS (TMOS) peut être considéré comme une capacité plane, à la différence près que les charges d'une des faces sont mises en mouvement latéral. Dans cette structure, la tension de grille ( $V_{gs}$ ) commande la quantité de charges et la tension de drain ( $V_{ds}$ ) les met en mouvement.



**Fig.I.7** Effet de champ dans un transistor MOS [22].

Le transistor MOS moderne contient une grille G en silicium poly cristallin (plus rarement en d'autres matériaux, par exemple, en métal) [23-26], séparée du substrat en silicium monocristallin par une couche mince de diélectrique, le plus souvent  $\text{SiO}_2$ .

Les régions de source et drain font partie intégrante du substrat, dont ils diffèrent par leur type de conduction. Suivant le type des porteurs assurant le passage du courant, on peut parler de transistors MOS à canal N (ou NMOS, conduction par électrons) et de transistors à canal P (ou PMOS, conduction par trous). La figure I.8 montre l'architecture d'un transistor MOS sur silicium de type N. L'architecture classique est constituée de quatre terminaux qui permettent d'analyser le comportement électrique du transistor: la grille ( $V_{gs}$ ), la source ( $V_s$ ), le drain ( $V_{ds}$ ) et le contact du substrat ( $V_b$ ). La structure du transistor étant identique selon sa largeur, on le représente communément dans le plan (x,y) [27]. La figure I.8.b donne un exemple plus détaillé.

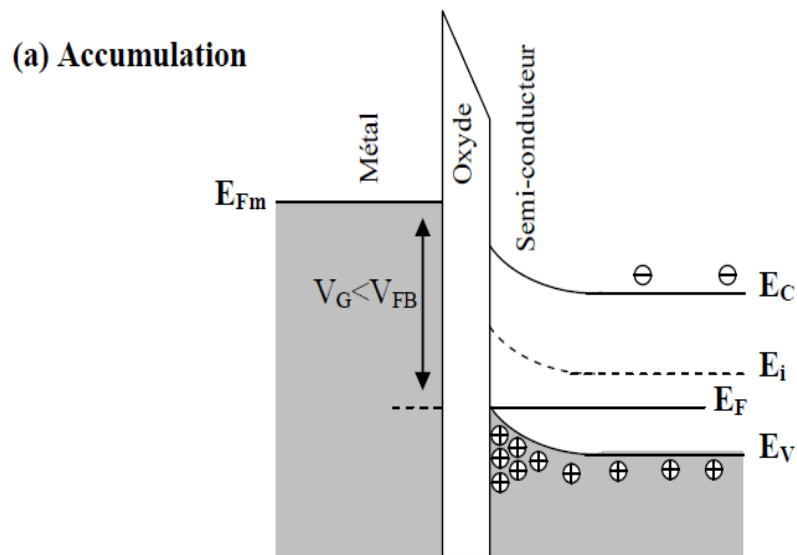


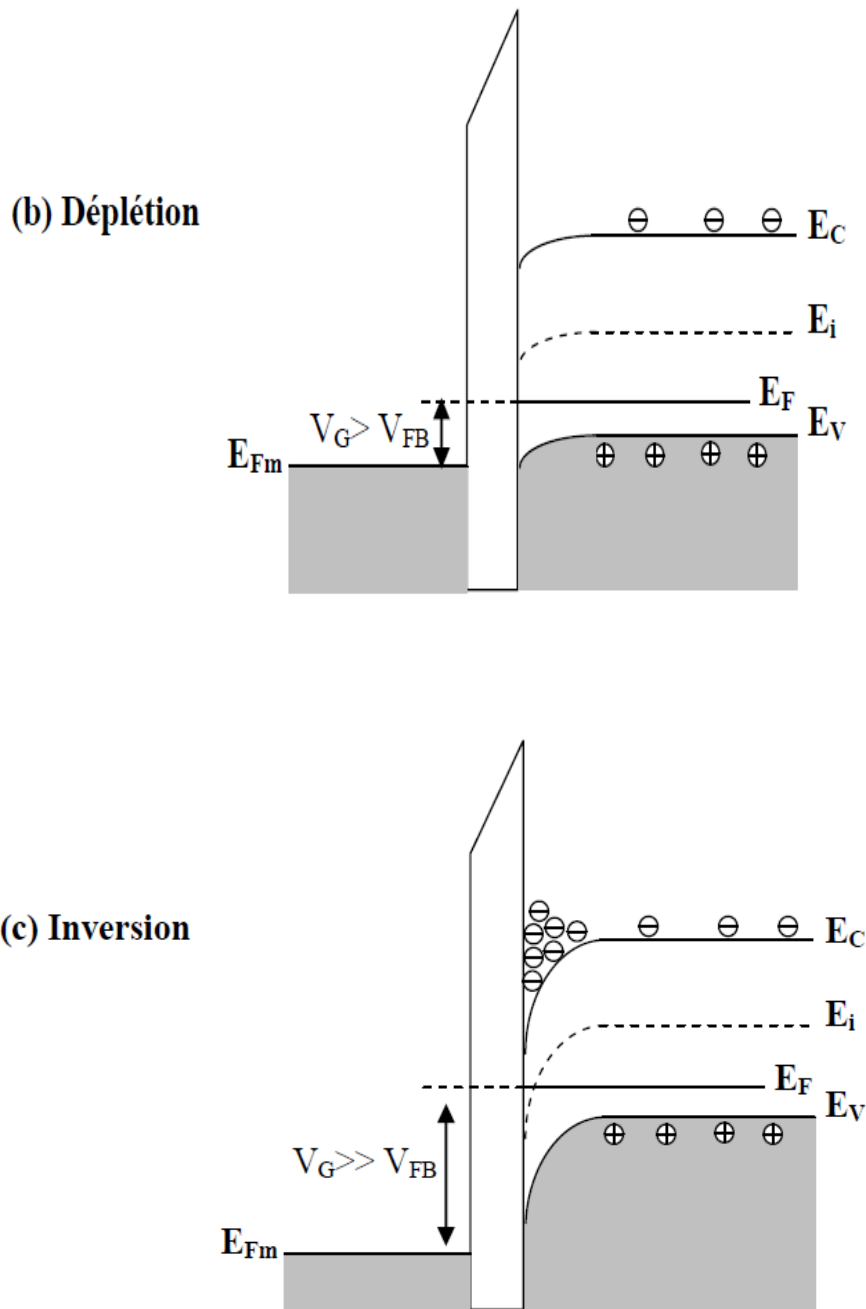
**Fig.I.8** Architecture d'un transistor NMOS [28, 19].

Avec l'aide de la figure I.9, nous allons rappeler le principe des différents modes de fonctionnement du transistor MOS. Lorsqu'une tension  $V_{gs}$  est appliquée, la structure de bande, près de l'interface

Si-SiO<sub>2</sub> est modifiée. Trois situations peuvent être distinguées (dans la région du canal): accumulation, déplétion et inversion, comme indiqué aux figures I.9 a-b-c, respectivement. Pour une tension de la grille négative, les porteurs majoritaires (trous) sont attirés à l'interface du semi-conducteur et une très fine couche de charge positive (la couche d'accumulation) est alors formée (Fig. I.9.a). Avec l'augmentation de  $V_{gs}$ , la courbure des bandes devient plus faible, jusqu'à une certaine valeur où il n'y a plus de courbure des bandes. Cette valeur particulière de tension de grille est appelée la tension des bandes plates  $V_{fb}$  (flat-band potential).

Au-delà de ce point, la courbure des bandes est opposée à celle en accumulation, une charge négative est en train de se former. En fait, la charge positive de la grille repousse les trous de la surface du semi-conducteur et fait apparaître une charge négative (due aux ions accepteurs immobiles), appelée charge de déplétion (Fig. I.9.b). Quand la tension de la grille augmente encore plus, la courbure des bandes vers le bas devient plus prononcée (Fig. I.9.c). Dans cette situation, la surface du semi-conducteur se comporte comme un matériau de type n, d'où le nom de région d'inversion. On parle d'inversion forte lorsque la concentration des porteurs minoritaires en surface devient supérieure à la concentration des majoritaires dans le volume. [29].



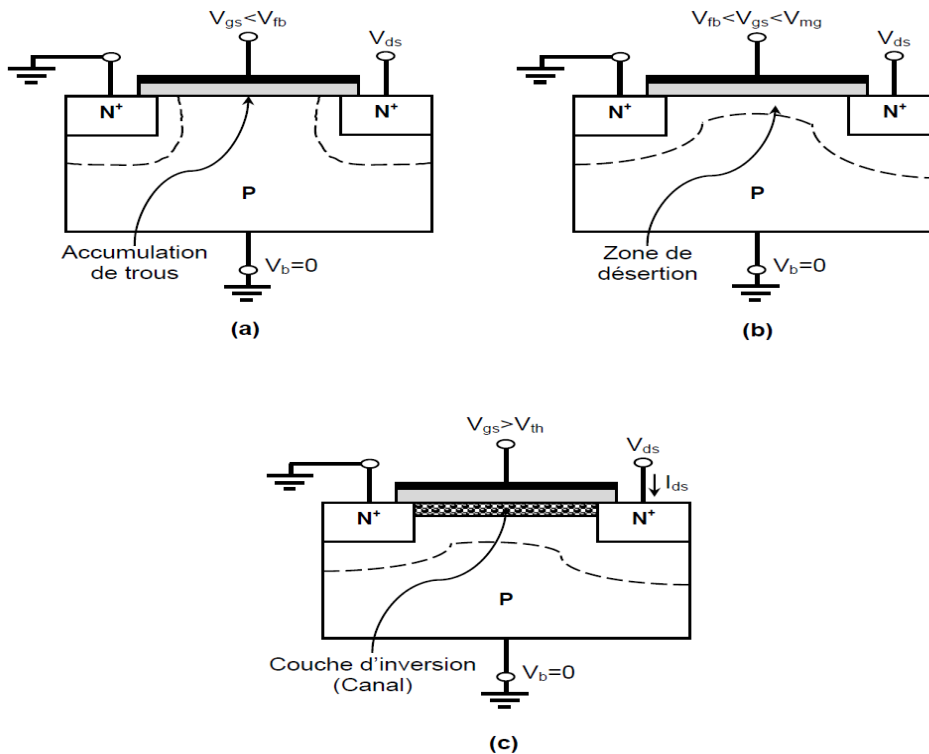


**Fig.I.9** Diagramme schématique de bandes d'énergie d'une structure MOS avec un semi-conducteur de type p, pour les différents modes de fonctionnement: accumulation, déplétion et inversion [29].

De manière générale, le MOSFET est un transistor qui fonctionne en mode d'inversion, lorsque la tension appliquée sur la grille  $V_{gs}$  est supérieure à la tension de seuil  $V_{th}$ , les porteurs de charge minoritaires (dans notre cas les électrons) sont alors attirés à l'interface Oxyde/Silicium et les trous sont repoussés en volume, un canal est donc créé à travers ce phénomène d'inversion

de population. Avec l'application de la tension de drain  $V_{ds}$ , un courant circule de la source vers le Drain (dans le canal créée) [28, 30].

La figure I.10 présente une coupe du transistor MOS dans les régimes d'accumulation, de déplétion et d'Inversion respectivement.



**Fig.I.10** Coupe de MOSFET représentative de son fonctionnement:

(a) Accumulation, (b) Déplétion, et (c) Inversion (activation du canal) [31].

### I.4.3 Les régimes de conduction du transistor MOS [31]

Le courant délivré par le transistor est gouverné par trois facteurs:

- ✓ La charge dans le canal (qui dépend de la tension de grille  $V_{gs}$ ),
- ✓ La tension de drain  $V_{ds}$  qui permet le déplacement des porteurs de la source au drain,
- ✓ La mobilité des porteurs ( $\mu_{eff}$ ) qui quantifie la vitesse acquise par les porteurs sous l'action d'un champ électrique.

En fonction des polarisations  $V_{gs}$  et  $V_{ds}$  il est donc possible de définir deux régimes de conduction distincts: le régime linéaire (ou ohmique) et le régime de saturation (figure I.11). Le régime linéaire se caractérise par une dépendance linéaire du courant en fonction de  $V_{ds}$  tandis que le régime de saturation caractérise un état dans lequel le courant n'évolue plus avec  $V_{ds}$ , car le canal est dit pincé

## CHAPITRE I : LES TRANSISTORS A EFFET DE CHAMP

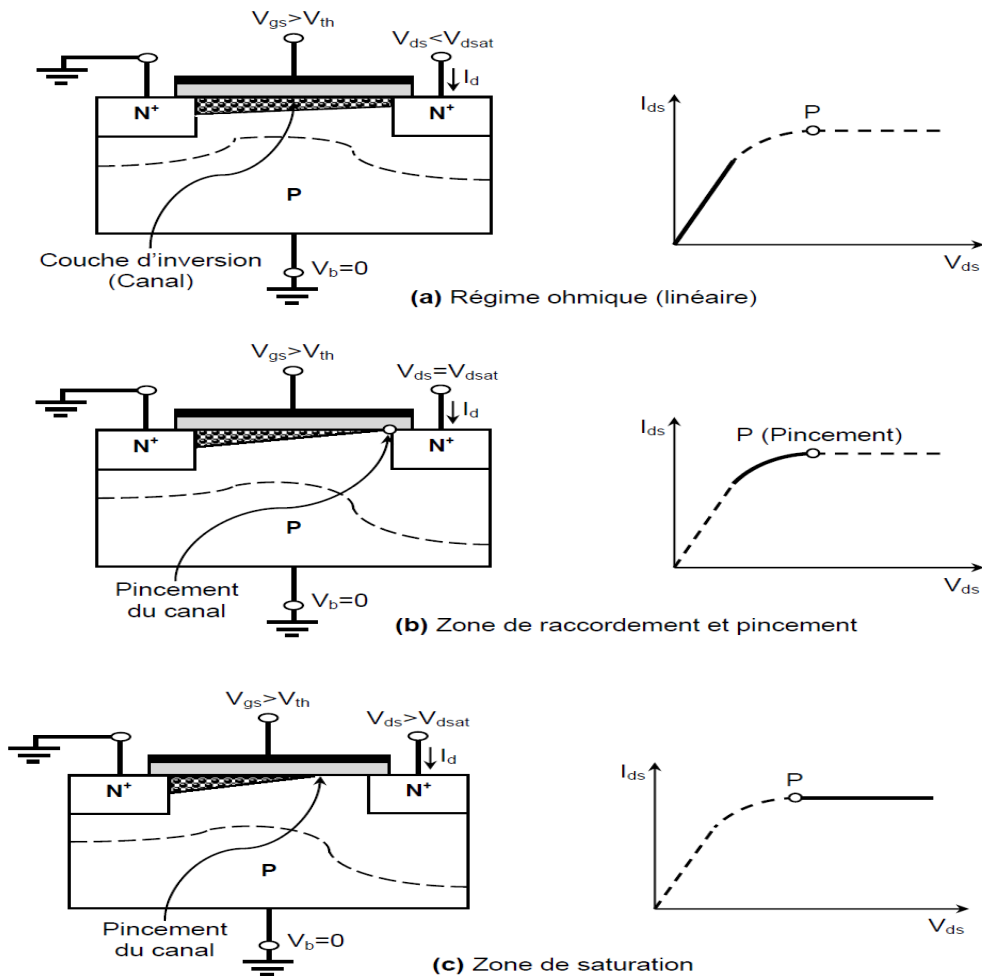
$V_p = V_{dsat} \approx V_{gs} - V_{th}$ . Entre ces deux régimes, le courant délivré dépend à la fois de  $V_{ds}$  et de  $V_{gs}$ : c'est la zone de raccordement.

Enfin, pour résumer le fonctionnement du transistor MOS nous pouvons dire que [32-34]:

- Pour  $V_{gs} < V_{th}$ , le canal n'est pas formé. Idéalement, le courant dans cette zone est nul.
- Pour  $V_{gs} > V_{th}$ , le canal est formé, le transistor peut conduire du courant.

Selon  $V_{ds}$  on a différents régimes. On note  $V_{dsat} \approx V_{gs} - V_{th}$ .

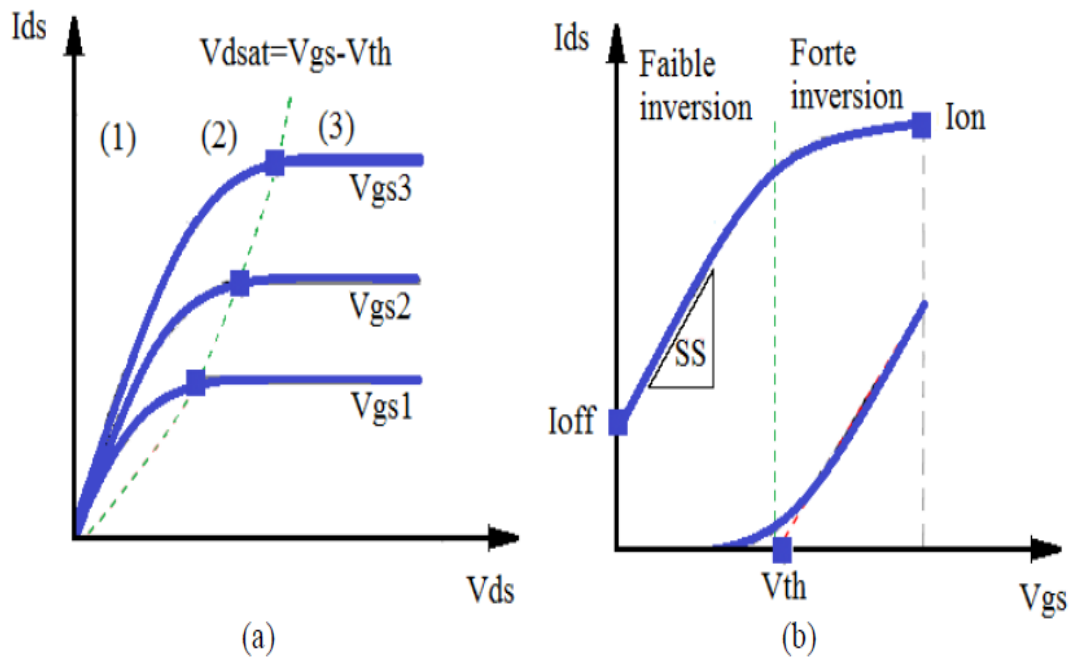
- ❖ Pour  $V_{ds} \ll V_{dsat}$ , le transistor est en régime linéaire, le courant  $I_{ds}$  est proportionnel à  $V_{ds}$ .
- ❖ Pour  $V_{ds} \approx V_{dsat}$ , la densité de charge du canal s'annule au drain: on dit que le canal est pincé. Le courant ne peut plus augmenter proportionnellement à la tension  $V_{ds}$ .
- ❖ Pour  $V_{ds} > V_{dsat}$ , le courant reste constant et vaut  $I_{on}$ . La tension aux bornes du canal vaut  $V_{dsat}$  et le point de pincement se déplace vers la source lorsque la tension  $V_{ds}$  est augmentée. Le transistor est en régime saturé.



**Fig.I.11** Illustration des trois régimes de conduction qui caractérisent le fonctionnement d'un transistor NMOS [31].

**I.4.4 Caractéristiques électriques idéales du transistor MOS [18]**

Les transistors MOSFETs peuvent être caractérisés électriquement par des mesures statiques en courant-tension au niveau du drain,  $I_{ds} = f(V_{ds})$  et courant-tension de grille  $I_{ds} = f(V_{gs})$ . Il s'agit de caractéristiques idéales souvent associées à des dispositifs à canal long. La figure I.12 présente le fonctionnement général du transistor MOS à travers les caractéristiques  $I_{ds}(V_{gs})$  et  $I_{ds}(V_{ds})$ .  $V_{dsat}$  représente la tension de saturation,  $SS$  la pente sous le seuil,  $I_{off}$  le courant à l'état bloqué et  $I_{on}$  le courant à l'état passant [35, 36].



**Fig.I.12** Caractéristiques de sortie (a) et de transfert (b) d'un transistor MOS, décrivant les différents régimes de fonctionnements: (1) régime linéaire, (2) régime non linéaire, (3) régime de saturation [18].

**I.4.5 Potentiel de surface**

La variation de la tension de grille  $V_{gs}$  module la variation du potentiel de surface  $\phi_s$  et fait apparaître quatre zones de variation de la charge dans le canal. Le courant de drain est exprimé en fonction de la densité de charge d'inversion. Cependant, la densité de charge d'inversion est exprimée en termes de potentiel de surface [37].

### I.4.6 Principaux paramètres des MOSFETs [29]

Les paramètres les plus importants du transistor sont les suivants:

- **La tension sous le seuil  $V_{th}$** : c'est la tension de grille nécessaire à la formation d'un canal de conduction (couche d'inversion) entre la source et le drain.
- **Le courant de saturation  $I_{on}$** : c'est-à-dire le courant  $I_{ds}$  à  $V_{gs}=V_{dd}$  et  $V_{ds}=V_{dd}$  (Fig. I.13).
- **La transconductance  $G_m$** : elle correspond à la pente de la courbe  $I_d(V_{gs})$  à fort  $V_{ds}$  (Fig.I.13), elle est donnée par :

$$G_m = \left. \frac{\partial I_d}{\partial V_{gs}} \right|_{V_{ds}=cste} \quad (I.1)$$

Elle doit être la plus élevée possible. La transconductance augmente très rapidement lorsque la longueur de canal devient inférieure à 100 nm.

- **La conductance  $G_d$** : elle quantifie l'imperfection de la saturation. Elle est égale à la pente de la courbe  $I_{ds}(V_{ds})$  à  $V_{ds} > V_{dssat}$  soit :

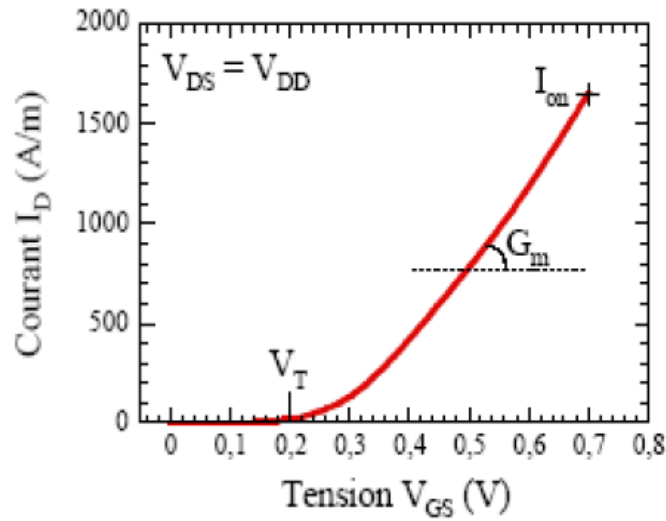
$$G_d = \left. \frac{\partial I_d}{\partial V_{ds}} \right|_{V_{gs}=cste} \quad (I.2)$$

Au-dessous du seuil, le blocage n'est pas parfait, il existe un courant faible mais non nul ( $I_{ds} \neq 0$ ). Ce courant n'est pas un courant de conduction comme à l'état passant mais un courant de diffusion, d'où la dépendance exponentielle de la caractéristique  $I_{ds}(V_{gs})$  sous le seuil illustrée en figure I.14.

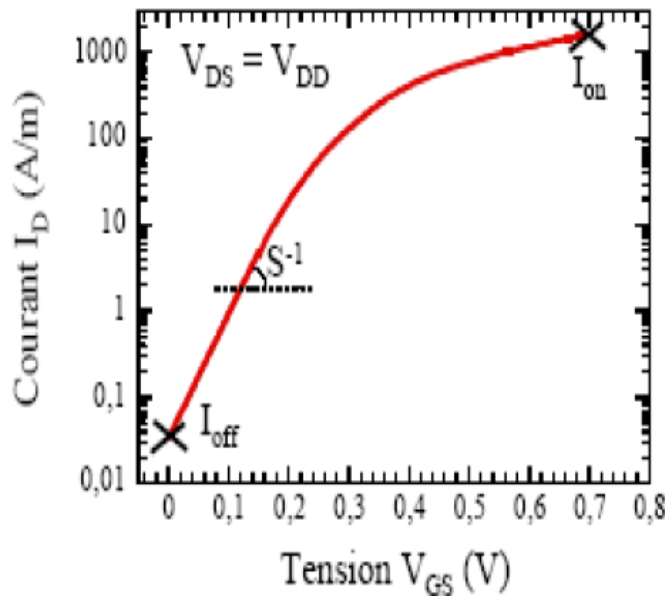
- **Le courant à l'état bloqué  $I_{off}$** : correspond au courant  $I_{ds}$  à  $V_{gs} = 0$  V et  $V_{ds} = V_{dd}$  (Fig.I.14), de plus on définit la pente sous le seuil SS comme suit :

$$SS = \left( \left. \frac{\partial I_d}{\partial V_{gs}} \right|_{V_{ds}=cste} \right)^{-1} \quad (I.3)$$

- **La pente sous le seuil**: elle représente la tension de grille à appliquer (en régime sous le seuil) pour augmenter le courant de drain d'une décade :



**Fig.I.13** Caractéristique  $I_{ds}(V_{gs})$  à  $V_{ds}=V_{dd}$  d'un transistor NMOS.  $I_{on}$ ,  $G_m$  et  $V_{th}$  sont indiqués [29].



**Fig.I.14** Caractéristique  $\text{Log}[I_{ds}(V_{gs})]$  à  $V_{ds}=V_{dd}$  d'un transistor NMOS.  $I_{on}$ ,  $I_{off}$  et  $S$  sont indiqués [29, 38].

## I.4.7 Miniaturisation des transistors MOS

### I.4.7.1 Pourquoi réduire la taille des transistors? [29]

Le développement de l'industrie des semi-conducteurs dépend pour l'instant de sa capacité à miniaturiser les transistors. L'objectif de la démarche est de délivrer de meilleures performances à moindre coût. Des circuits plus petits réduisent la surface globale de la puce électronique et permettent donc de produire plus de transistors sur un même puce sans impact sur le prix de

fabrication. Le coût des circuits diminue ainsi d'un facteur de deux tous les 18 mois. En diminuant la dimension des MOSFETs, le temps de passage de l'état "off" à l'état "on" diminue linéairement du fait de l'évolution du temps de réponse intrinsèque ( $t = \text{longueur de canal} / \text{vitesse des porteurs}$ ).

Un autre avantage est la réduction de la consommation de puissance utile pour augmenter la durée d'autonomie des systèmes mobiles, mais aussi pour améliorer la fiabilité des systèmes à hautes performances. Des puces plus petites consomment moins de puissance, donc moins d'énergie. En conséquence, le produit puissance-temps de réponse est réduit. Enfin, la rapidité de transmission de l'information dans un circuit intégré est limitée par la vitesse de l'impulsion électrique. Pour pouvoir augmenter la rapidité globale d'une opération, il faut réduire les distances géométriques, et empiler un maximum de données d'information dans un minimum d'espace pour les rapprocher. Cette évolution permet à un large public d'accéder à des services plus performants, moins chers et souvent nouveaux. Des objets technologiques innovants sont ainsi produits et créent de nouveaux marchés dont les retombées financières sont réinvesties dans la course à l'intégration.

### **I.4.7.2 Problèmes induits par la réduction de la taille des transistors MOS**

Pour plus de performances technologiques, les dimensions du transistor MOS sont de plus en plus réduites et cela avec succès. Cependant, réduire la taille des transistors MOS, telles que la longueur du canal  $L$ , l'épaisseur de Silicium  $t_{si}$  et l'épaisseur d'oxyde  $t_{ox}$  engendre des problèmes de nature physique et quantique, perturbant le bon fonctionnement des transistors MOS et limitant ainsi les fonctionnalités des circuits CMOS [39]. À l'heure actuelle, les problèmes majeurs de cette miniaturisation sont : les effets "canaux courts", le confinement quantique et le courant tunnel [40].

### **I.4.7.3 Les effets canaux courts (SCEs)**

La minimisation des dimensions des transistors MOS et particulièrement la longueur du canal engendre des effets électrostatique parasites. Ces effets sont appelés les effets canaux courts, souvent notés par SCEs (Short Channel effects) [41]. Jusqu'à maintenant, les SCEs restent l'un des problèmes majeurs qui limite l'évolution de la technologie CMOS [39].

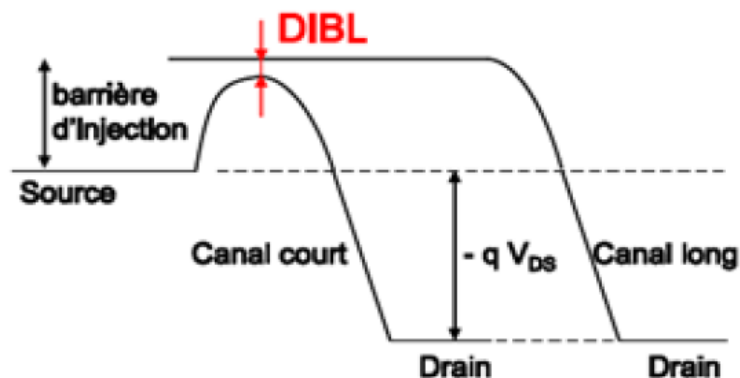
De manière générale, la diminution de la longueur du canal ( $L$  inférieure à 50 nm) réduit la tension de seuil  $V_{th}$  [42]. Ceci en premier temps, mais engendre également un nombre de phénomènes néfastes, tels que: l'effet DIBL (Drain Induced Barrier Lowering), le partage de charge ( $V_{th}$  Roll-off), l'effet des résistances série, la modulation de la longueur du canal et la saturation de la vitesse des porteurs, etc...

### I.4.7.3.1. Impact sur la tension de seuil [43]

Les effets des canaux courts ont un impact important sur les caractéristiques statiques du transistor MOSFET. Par exemple ces effets dégradent la pente sous seuil et par conséquent la vitesse de commutation des circuits numériques. Ils dégradent également le courant de fuite à l'état bloqué et peuvent impliquer une conduction du transistor sous sa tension de seuil. De ce fait les paramètres technologiques ont un impact direct sur la tension de seuil. Par exemple, l'effet DIBL qu'on expliquera par la suite augmente lorsque la longueur de la grille diminue. D'autre part, le courant de drain dans les transistors à canaux courts augmente considérablement avec la tension de drain au-delà de la zone de pincement (saturation) en comparaison avec des dispositifs à canal long où l'on peut considérer que le courant reste constant en mode saturé (on considère l'effet Early négligeable).

### I.4.7.3.2. L'effet DIBL et les courant $I_{on}$ , $I_{off}$ [43]

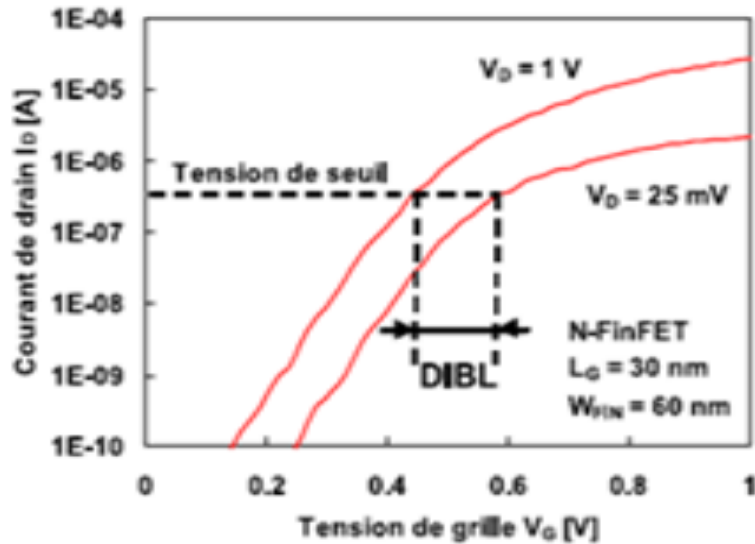
L'effet DIBL est attribué à l'influence électrostatique du drain sur la hauteur de barrière de la jonction source-substrat ou barrière d'injection (Fig.I.15). Le DIBL est un effet parasite lié à la réduction de la longueur du canal  $L$  qui affecte la tension de seuil  $V_{th}$ . En augmentant la tension de drain  $V_{ds}$ , il y a extension de la zone de charge d'espace au niveau du drain. Cette zone de charge d'espace peut aller jusqu'à diminuer la hauteur de barrière d'injection.



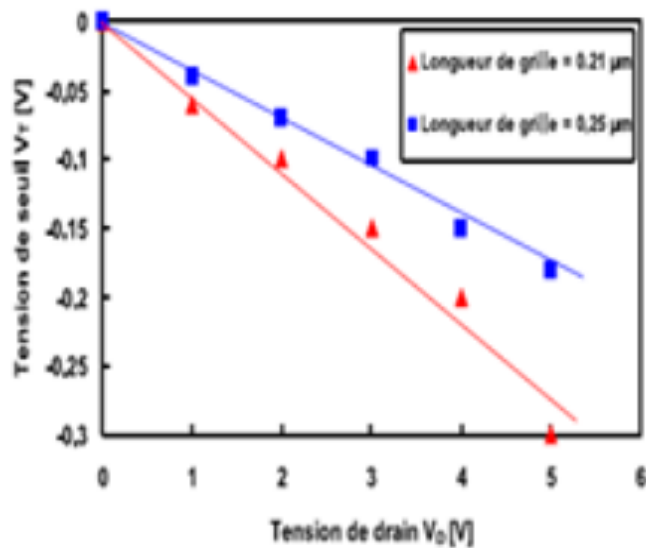
**Fig.I.15** Schéma énergétique le long du canal dans le cas d'un canal long et d'un canal court montrant l'effet DIBL [43].

La conséquence de l'effet DIBL consiste en la diminution de la tension de seuil  $V_{th}$  du transistor avec une tension  $V_{ds}$  d'autant plus importante que la distance source/drain (la longueur de canal) est faible (Fig.I.16 (a)). Généralement, on mesure l'effet DIBL par le décalage de la courbe de transfert

$I_{ds}$ - $V_{gs}$  entre une mesure en régime où  $V_{ds}$  est faible et une mesure en saturation avec  $V_{ds}$  fort (Fig.I.16 (b)).



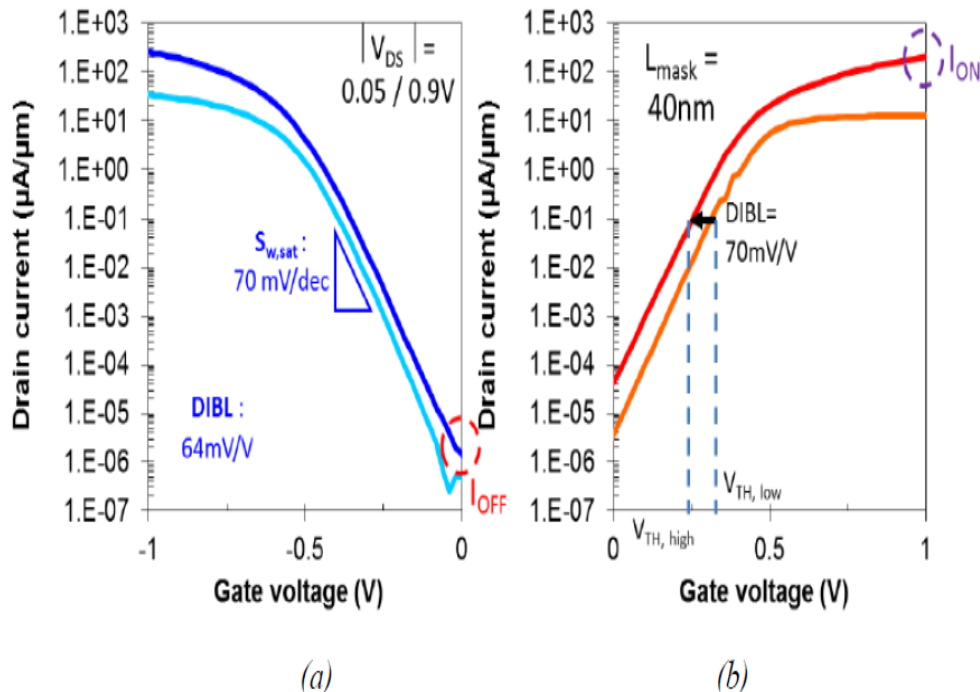
(a)



(b)

**Fig.I.16** Courbe  $V_{th}(V_{ds})$  illustrant la chute de tension de seuil (a)  $I_{ds}$ - $V_{gs}$  dans le cas d'un transistor court pour des tensions de drain en régime ohmique et en saturation (b) [43, 44].

Notons que nous pouvons déterminer d'après les caractéristiques des figures I.17 (a) et I.17 (b) différentes grandeurs caractérisant le transistor MOSFET, nous citons alors la tension de seuil  $V_{th}$ , le courant en régime de saturation  $I_{on}$  et le courant en régime bloqué  $I_{off}$ , le DIBL, qui est la variation de  $V_{th}$  entre deux mesures réalisées à différentes valeurs de  $V_{ds}$ .



**Fig.1.17** Caractéristique  $I_{ds}$ - $V_{gs}$  de pMOSFET (gauche) et nMOSFET (droite) avec l'indication des courants de fuite  $I_{on}$  et  $I_{off}$  [45].

#### I.4.7.4 Les solutions technologiques : tendance vers les transistors MOS à Grilles Multiples

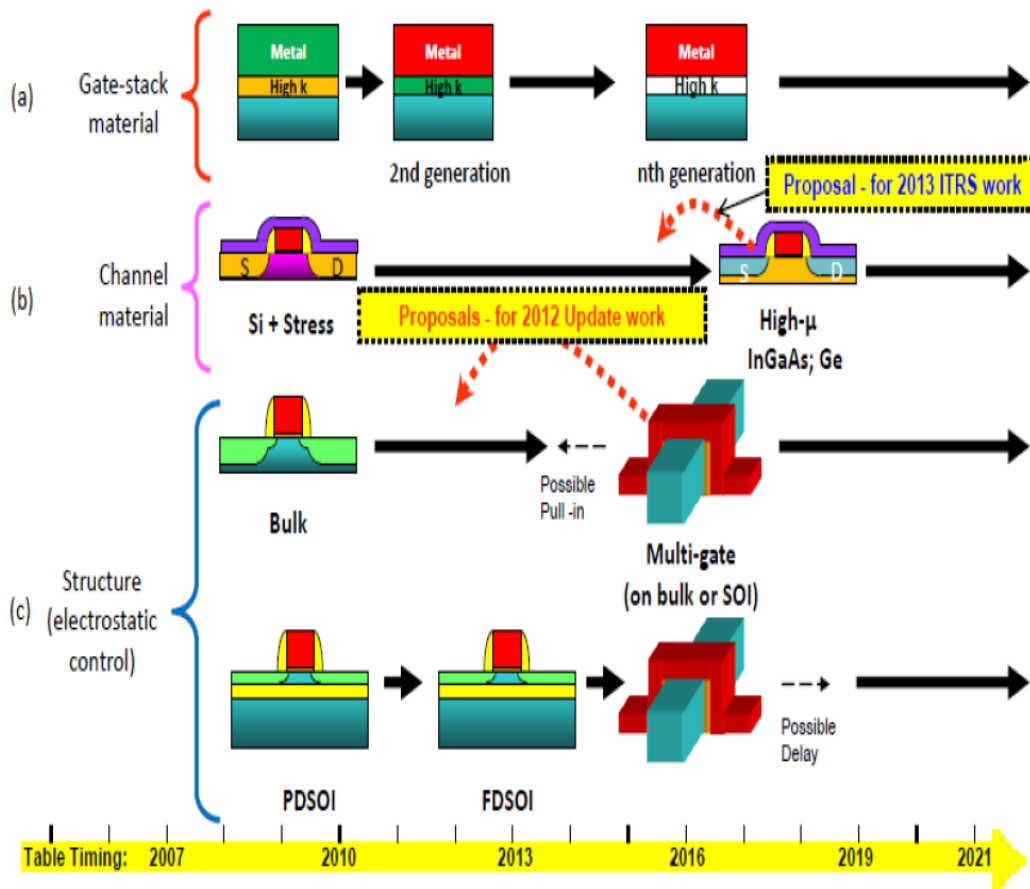
Les limites et les obstacles technologiques causés par la miniaturisation des TMOS ont mené au développement et à la recherche de solutions technologiques, adoptées par l'industrie de la microélectronique. L'ensemble des solutions technologiques adoptées par les feuilles de route de la technologie des semi-conducteurs de l'ITRS se partagent en trois grandes voies [39, 46]:

- ✓ La première voie regroupe les nouveaux matériaux diélectriques de la grille, tels que les diélectriques de haute permittivité (High K). Afin de résoudre le problème de courant tunnel, l'utilisation de diélectriques de haute permittivité (High K) de grille représente l'une des solutions fondamentales pour continuer le "Scaling" et donc l'évolution de la technologie CMOS. L'utilisation de matériaux "High K" mène à la fabrication des dispositifs MOS à très

faible épaisseur d'oxyde équivalente, mais avec des épaisseurs de diélectrique "High K" équivalentes plus importantes de même valeur de capacité que celle du SiO<sub>2</sub>. Les diélectriques de grille "High K" les plus considérés sont : HfO<sub>2</sub>, ZrO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, HfAlO [47].

- ✓ La deuxième voie, concerne l'utilisation de matériaux contraints et de forte mobilité pour le canal. De plus, concernant le problème de la déplétion du Poly-Si de grille celui-ci peut être corrigé par l'introduction d'autres matériaux, tels que TiN, TaN et W [48, 49]. Pour de hautes performances technologiques en termes de circuit CMOS, les matériaux III-V sont considérés comme étant les meilleurs candidats pour le remplacement progressif du Silicium. L'utilisation des matériaux III-V permet de réaliser des transistors avec des canaux de forte mobilité, un fort courant de drain et une vitesse de saturation élevée. Parmi les matériaux semi-conducteurs de forte mobilité, nous citons comme exemples : InGaAs, InAs, GaAs, InP et GaSb [49].
- ✓ La dernière voie est consacrée au développement de nouvelles architectures, telles que les TMOS Multi-grilles (Fig.1.18). Depuis les années 2000, la majorité des industries "semi-conducteurs" (tels que IBM, AMD et Free scale) utilisent la technologie SOI dans la fabrication des microprocesseurs [50, 51]. Le terme SOI (Silicon-On-Insulator) signifie que le dispositif MOS est fabriqué sur une fine couche de Silicium posé sur un isolant, qu'on appelle "BOX" (Buried Oxyde –Enterré oxide) [50]. La technologie du Silicium sur Isolant (SOI) a beaucoup d'avantages par rapport à la technologie MOSFET "Bulk", nous pouvons citer : moins de puissance dissipée, réduction des effets canaux courts, minimisation des capacités parasites etc... En revanche, elle rencontre des problèmes de coût de fabrication élevé et de l'effet auto échauffement [51, 52].

Le développement de nouveaux dispositifs pour le remplacement du MOSFET "Bulk" fait l'objet d'énormes travaux et recherches guidés par l'ITRS et menés par les industries de la micro-électronique et les différentes institutions de recherche [49, 36, 53]. Les architectures Multi-grille représentent les meilleures candidats pour: le remplacement du MOSFET "bulk", ainsi que pour résoudre le problème des effets canaux courts, et continuer le "Scaling" (aller vers les 5 nm de noeud technologique). Dans la suite, nous décrivons la technologie des Multi-grille et ses différentes structures.



**Fig.I.18** Schéma décrivant les principales voies (solutions) technologiques : diélectriques de grille "High K" (a) ; matériaux innovants de Silicium contraint et de forte mobilité (b) ; architectures Multi-grilles (c) [18, 46].

#### I.4.8 Contraintes et domaines d'utilisation d'un transistor MOSFET

La grille étant isolée, la résistance d'entrée du transistor MOS est très élevée (de  $10^{11}\Omega$  à  $10^{15}\Omega$ ), et d'autre part la capacité grille-source étant très faible, ces transistors sont donc extrêmement sensibles aux charges électrostatiques qui peuvent provoquer le claquage de la couche de silice [54]. Il faut donc intégrer des dispositifs de protection contre les surtensions (le plus souvent, deux diodes tête-bêche placées entre grille et source). En raison de leurs très petites dimensions, de leur faible consommation et de leur facilité d'intégration, le domaine privilégié d'emploi des transistors MOS est celui des circuits intégrés (mémoires, microprocesseurs, circuits logiques). Malheureusement il a été mis en évidence que ces dispositifs sont encore moins rapides [55]. Malgré que des progrès spectaculaires ont été effectués en vue de la miniaturisation des transistors MOS et plus particulièrement la diminution de la longueur du canal, ce qui a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits, mais cette réduction de dimensions a

engendré des phénomènes parasites (modification de la tension de seuil, augmentation du phénomène des porteurs chauds, ...) qui détériorent les caractéristiques courant-tension. Toutefois, les technologues ont imaginé des procédés de fabrication particuliers en vue de conserver ces caractéristiques (Technologie SOI, NMOS, CMOS, VMOS, ...), par exemple les transistors de type VMOS (à grille particulière en forme de V) permettent des applications de puissance (plusieurs dizaines de watts) jusqu'à des fréquences très élevées (plusieurs milliers de mégahertz).

### **I.5 Conclusion**

Nous avons présenté dans ce chapitre, les transistors à effet de champ et surtout le transistor MOSFET pour lesquels nous avons expliqué leurs modes de fonctionnements ainsi que leurs principales caractéristiques électriques. Cette première partie a permis de mettre en évidence l'intérêt de la miniaturisation des transistors à effet de champ de type MOS en termes de performance de ces applications comme un dispositif logique ainsi que ces limites qui peuvent être imposées par la réduction dimensionnelle.

Les effets indésirables les plus dominants dans les transistors à canaux courts ont également été présentés dans ce chapitre. Ces effets sont souvent rencontrés dans ce type de dispositifs, nous citons entre autre les effets canaux courts et les bruits pouvant affecter les performances du transistor MOSFET C'est ainsi que nous entamerons dans le second chapitre, l'étude de l'architecture multi-grille et tout particulièrement le transistor «Junction Less Trial Material Cylindrical Surrounding gate MOSFETs» qui permette d'éliminer les effets indésirables des dispositifs MOSFETs et d'obtenir des meilleurs performances.

### *Références bibliographiques du Chapitre I*

- [1] Shockley. W, "A unipolar field-effect transistor". Proceedings of the IRE, 40(11), 1365-1376, 1952.
- [2] Dubuc. N, "Modélisation Electrothermique de transistors MESFET SiC et optimisation d'une architecture Doherty pour l'amplification de puissance à haut rendement". Thèse de doctorat, université de Limoges, France 2003.
- [3] Khemissi. S, "Modélisation non linéaire des composants à effet de champ". Thèse de doctorat, université de Constantine, 2009.
- [4] Beddiadi. Y, "Modélisation d'un transistor MESFET en GaAs en utilisant le simulateur atlas-silvaco". Mémoire de magister, université Mohamed Khider – Biskra, 2013.
- [5] Guiza. D, "Analyse des transistors à effet de champ MESFET GaAs". Mémoire de magister, université de Constantine, 2009.
- [6] Djilani. H.M, Omar. B, "Effet de la température sur le transistor DM GaN MESFET submicronique". Mémoire de master académique, université Echahid Hamma Lakhdar El Oued, 2015.
- [7] Vanbesien. O, "Modèles linéaires et non linéaires des composants actifs pour la CAO. Hyperfréquences". Cours DESS, septembre 2003.
- [8] Mellal. S, "Optimisation des caractéristiques des transistors à effet de champ à l'arséniure de gallium à grille Schottky MESFET GaAs". Thèse de doctorat, université Larbi Ben M'Hidi Oum El Bouaghi, 2015.
- [9] Mead. C.A, "Schottky barrier gate field effect transistor". Proceedings of the IEEE 54.2 (1966): 307-308.
- [10] Hooper. W.W, Lehrer. W.I, "An epitaxial GaAs field-effect transistor". Proceedings of the IEEE 55.7 (1967): 1237-1238.
- [11] Mestaria. A, "Etude et modélisation d'un transistor HEMT AlGaIn/GaN". Mémoire de magister, université Abou-Bakr Belkaïd Tlemcen, 2012.
- [12] Miloudi. W, "Simulation d'un Transistor HEMT a base de GaAs (AlGaAs/GaAs)". Mémoire de fin d'étude en Master, université Mohamed Khider – Biskra, 2013-2014.
- [13] Faradji. M.A, Senouci. A, "Modélisation numérique des effets thermiques dans le transistor HEMT en technologie GAN". Projet de Fin d'Etudes, université Abou Bekr Belkaid, 2013.
- [14] Lilienfeld. J.E, "Amplifier for electric currents". US Patent No.1, 877,140, application Filed, Décembre 8, 1928.

- [15] John. B et al, "Three électrode circuit élément". U.S. Patent No.2, 524,035, Issued Octobre 3, 1950. Filed June 17, 1948.
- [16] Kilby. J.S, "Miniaturized Electronic Circuits". U.S. Patent No.3, 138,743. Washington, DC: U.S. Patent and Trademark Office, June 23, 1964.
- [17] Lojek. B, "History of semiconductor engineering". New York: Springer, (p. 156), 2007.
- [18] SMAANI. B, "Etablissement de modèles compacts de transistors MOS multi grilles nanométriques en vue de leur application pour la conception de circuits". Thèse de doctorat, université de Constantine, 2015.
- [19] Fleury. D, "Contribution à l'Etude expérimentale du Transport dans les transistors de dimensions Deca-Nanométriques des technologies CMOS Sub 45nm". Thèse de doctorat de L'institut polytechnique de Grenoble, France, Décembre 2009.
- [20] SZE. S.M, NG. K.K, "Physics of Semiconductor Devices". John Wiley & Sons, Inc., 2007.
- [21] Hoffmann. K, "System Integration-From Transistor Design to Large Scale Integrated Circuits". John Wiley & Sons Ltd, 2004.
- [22] Skotnicki. T, "Transistor MOS et sa Technologie de Fabrication". E2430, Techniques de l'Ingénieur, Traité Électronique, 2000.
- [23] Colinge. J.P, Colinge. C.A, "Physics of semiconductor devices". Kluwer Academic Publishers, 2002.
- [24] Li. S.S, "Semiconductor Physical Electronics". Springer, 2006.
- [25] Arora. N, "MOSFET modeling for VLSI simulation- Theory and practice". World Scientific Publishing Co. Re. Ltd, 2007.
- [26] Nishi. Y, Doering. R, "Handbook of semiconductor manufacturing technology". CRC Press. CRC Press, Taylor and Francis Group LLC, 2008.
- [27] Mokhtari. A, "Simulation du transistor MOS par PSPICE". Mémoire de magister, université de Mohamed Boudiaf M'sila, 2016.
- [28] Prégaldiny. F, "Etude et modélisation du comportement électrique des transistors MOS fortement submicroniques". Thèse de doctorat de l'université Louis Pasteur - Strasbourg I, France, Décembre 2003.
- [29] Rechem. D, "Contribution à l'étude de transistor MOS à oxyde de grille très mince". Thèse de doctorat, université de Constantine, 2010.
- [30] Oktyabrsky. S, Peide. D. Y et al, "Fundamentals of III-V semiconductor MOSFETs". (pp. 163-165), New York: Springer, 2010.
- [31] Tamoum. M, "Caractérisation Fine et Modélisation Non-Linéaire des Transistors MOSFET". Thèse de doctorat, université Ferhat Abbas, Sétif, 2013.

- [32] Neamen. D.A, "Semiconductor Physics and Devices – Basic Principles". McGraw-Hill, 2003.
- [33] Razavi. B, "Design of Analog CMOS Integrated Circuits". McGraw- Hill, 2001.
- [34] Veendrick. H, "Deep-Submicron CMOS ICs-From Basics to ASICs". Kluwer academic publishers, 2000.
- [35] Bescond. M, "Modélisation et simulation du transistor quantique dans les transistors MOS nanométriques". Thèse de doctorat, université de Provence, 2004.
- [36] Moreau. M, "Modélisation et simulation numérique des nano-transistor multi grilles à matériaux innovants". Thèse de doctorat, université de Provence, 2010.
- [37] Lakhlef. A, "Caractérisation de Dispositifs MOSFETs Fortement Submicronique par les techniques Courants Tensions I(V) ". Thèse de doctorat, Université Mouloud Mammeri de Tizi-Ouzou, 2015.
- [38] Jaud. M.A, "Approche du potentiel effectif pour la simulation Monte-Carlo du transport électronique avec effets de quantification dans les dispositifs MOSFETs". Thèse de doctorat, Université Paris-sud XI, Octobre 2006.
- [39] The International Technology Roadmap for Semiconductors (ITRS), web site <<http://www.itrs.net/>>, 2011.
- [40] Bhattacharyya. A.B, "Compact MOSFET models for VLSI design". John Wiley & Sons (Asia) Pte Ltd, ISBN: 978-0-470-82342-2, 2009.
- [41] El Hamid. H.A, "Compact modeling of multiple gate mos devices". Thèse de doctorat, université Rovira I Virgili, 2007.
- [42] Liu. Z.H, Hu. C, Huang. J.H, Chan. T. Y, Jeng. M.C, Ko. P.K, & Cheng. Y.C, "Threshold voltage model for deep-submicrometer MOSFETs". IEEE Transactions on electron devices, 40(1), 86-95, 1993.
- [43] Khaouani. M, "Etude et conception d'un transistor nanométrique a grille enrobante GAA MOSFETs". Thèse de doctorat, Université Aboubakr Belkaïd –Tlemcen-, 2018.
- [44] Fjeldly. T.A, Shur. M, Ytterdal. T, "Introduction to device modeling and circuits simulation". Ed.Wiley, New York,1998.
- [45] Villalon. A, "Etude de nano-transistors à faible pente sous le seuil pour des applications très basse consommation". 10 décembre 2014, CEA-LETI dans l'École Doctorale Electronique, Electrotechnique, Automatique et Traitement du Signal.
- [46] The International Technology Roadmap for Semiconductors (ITRS), web site<<http://www.itrs.net/>>, 2012.
- [47] Kar. S, "High Permittivity Gate Dielectric Materials". Springer-Verlag Berlin Heidelberg, ISBN 978-3-642-36534-8, 2013.

- [48] Darbandy. G, Lime. F, Cerdeira. A, Estrada. M, Garduno. I, & Iniguez. B, "Study of potential high-k dielectric for UTB SOI MOSFETs using analytical modeling of the gate tunneling leakage". *Semicond. Sci. Technol*, vol. 26, pp. 1-8, 2011.
- [49] The International Technology Roadmap for Semiconductors (ITRS), web site<<http://www.itrs.net/>>, 2009.
- [50] Yan. R.H, Ourmazd. A, Lee. K.F, "Scaling the Si MOSFET: From bulk to SOI to bulk". *IEEE Transactions on Electron Devices*, 39(7), 1704-1710, 1992.
- [51] Koh. Y.H, Choi. J.H, Nam. M.H, & Yang. J.W, "Body-contacted SOI MOSFET structure with fully bulk CMOS compatible layout and process". *IEEE Electron Device Letters*, 18(3), 102-104, 1997.
- [52] Matsumoto. S, Hiraoka. Y, Ishiyama. T, Sakai. T, Yachi. T, Yamada. I, ... & Arimoto. Y, "Study on the device characteristics of a quasi-SOI power MOSFET fabricated by reversed silicon wafer direct bonding". *IEEE Transactions on Electron Devices*, 45(9), 1940-1945, 1998.
- [53] Goguet. J, "Contribution à la modélisation physique et électrique compacte du transistor à nanotube". Thèse de doctorat, université Bordeaux 1, 2009.
- [54] Michel. JC, "COURS: Les transistors à effet de champ". <http://JC.MICHEL.free.fr>.
- [55] Djefal. F, "Modélisation et simulation prédictive du transistor MOSFET fortement submicronique, Application à la conception des dispositifs Intégrés". Thèse de doctorat université de Batna, 2006.

# Chapitre II: Les structures émergentes du transistor MOSFET

## **Les structures émergentes du transistor MOSFET**

### **II.1 Introduction**

Pendant longtemps l'évolution de la microélectronique a toujours été supportée de manière empirique mais réaliste par la loi de Moore, mais de nos jours, il devient malheureusement de plus en plus difficile de suivre cette loi, car l'ère nanométrique impose non seulement la mobilisation de ressources intellectuelles importantes mais aussi d'investissements financiers colossaux. L'évolution de l'industrie électronique se trouve également confrontée à des limitations technologiques réelles représentant un réel frein à la croissance de celle-ci. De nombreuses solutions sont actuellement étudiées pour contourner ces limitations technologiques liées à la réduction d'échelle du transistor MOS standard. Certaines de ces solutions incluent des modifications au sein des structures existantes, dans l'espoir de prolonger leur miniaturisation [1]. C'est ainsi qu'actuellement, le développement de nouveaux dispositifs fait l'objet d'énormes travaux de recherche guidés par l'ITRS (International Technology Roadmap for Semiconductors) et principalement menés par l'industrie de la micro-électronique et les différentes institutions de recherche. En effet, le développement de la technologie SOI (Silicon on insulator) a permis l'apparition de nouvelles géométries 3D de composants considérés comme alternatives envisageables pour remplacer des transistors MOSFETs traditionnels conçus sur substrats massifs. Ces architectures multi-grilles "MUGFETs: (*Multiple Gate MOSFETs*)" conçus sur substrat SOI paraissent être particulièrement prometteuses, particulièrement en termes de contrôle électrostatique de canal. Ces architectures sont considérées comme étant une sérieuse alternative pour maintenir la miniaturisation continue dans les dimensions des dispositifs imposées par la loi de Moore. Ces structures montrent des possibilités prometteuses en ce qui concerne le contrôle des effets canaux courts [2]. En effet l'ajout de grille autour du canal de conduction, non seulement favorise l'isolement de ce dernier permettant ainsi sa protection, mais offre aussi par la même occasion un meilleur contrôle électrostatique sur ce canal. C'est ainsi que sont apparus, au cours de cette décennie, de nouvelles structures ayant deux, trois, voire quatre grilles.

## **CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET**

---

Dans ce chapitre, nous allons présenter brièvement la technologie SOI, sur laquelle se base généralement la conception des transistors MOSFET à grilles multiples. Ensuite, nous décrirons les avantages et les inconvénients de la technologie SOI par rapport à celle Bulk. Les différentes structures des transistors MOSFET à grilles multiples ont été présentées afin de montrer le comportement de chaque structure par rapport à l'autre pour réduire les effets des canaux courts.

La diversité des structures qu'on trouve dans la littérature indiquent une amélioration du comportement des dispositifs pour des applications à haute puissance/fréquence. Ceci nous a inspiré à penser à des structures diverses comme les transistors MOSFETs à grille cylindrique afin d'améliorer les performances de ces dispositifs et apporter un autre défi d'investissement, ce qui représente l'objectif essentiel de notre travail.

Dans cette partie nous mettons en évidence l'intérêt de la miniaturisation des transistors à effet de champ de type MOSFET en termes de performance des applications logiques, mais également ses limitations. L'intérêt des nouvelles architectures multi-grilles, réalisables grâce à l'amélioration des substrats SOI, a été clairement établie. Dans ce contexte, ce travail s'appuie sur la structure JLTMCSSG-MOSFET en vue de minimiser les effets des canaux courts qui sont nuisibles aux performances attendue de ce genre de transistors.

### **II.2 La technologie multi-grille**

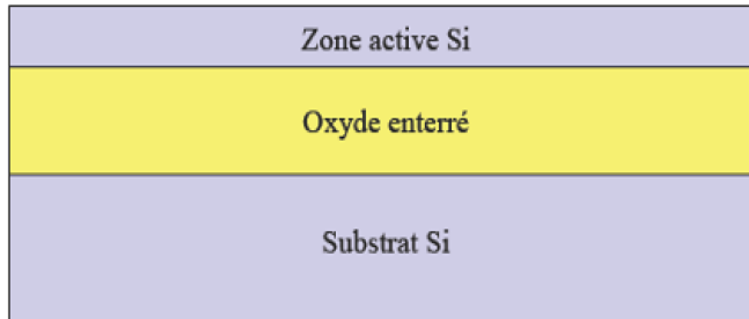
Les architectures MOSFETs multi-grille améliorent clairement le contrôle électrostatique du canal, réduisant les effets canaux courts et optimisant ainsi le courant de conduction tout en minimisant la consommation statique. L'ITRS de 2004 [3] propose de nombreuses architectures multi-grille. Néanmoins, il est possible de les classer dans trois grandes catégories distinctes suivant la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat, qui est le plan horizontal. Cependant avant d'aborder en détail ces différentes catégories, il devient indispensable de présenter la technologie SOI sur laquelle se basent toutes ces architectures multi-grille.

### **II.3 La technologie SOI**

Pendant longtemps la technologie SOI a été exclusivement utilisée à cause de sa bonne tenue face aux radiations ionisantes [4]. Cette technologie a connu une grande diversification de ses applications aussi bien en électronique qu'en optique où elle permet la réalisation de guides optiques très performants [5]. Un substrat SOI, schématisé sur la figure II.1, se compose d'un

## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET

empilement de trois couches; un oxyde, dit «enterré», est intercalé entre 2 couches de silicium cristallin: la zone active et le substrat.



**Fig.II.1** Schéma d'un substrat SOI (Silicon On Insulator) [4].

La très nette amélioration de la technologie SOI en qualité et en coût la rend très compétitive et ce d'autant plus qu'elle permet une bonne compatibilité avec les technologies CMOS actuelles [6]. Par exemple, la méthode révolutionnaire nommée « Smart cut », permet à l'heure actuelle de fabriquer des substrats SOI dits « Unibond » avec des couches actives de silicium ultrafines et de très bonne qualité cristalline [7]. On peut aussi citer la technologie SON (Silicon On Nothing) qui permet d'associer des zones « SOI » et « non SOI » sur une même puce [8].

### II.3.1 Particularité du transistor SOI entièrement déplété [2]

Pour les dispositifs de taille nanométriques le contrôle des effets canaux courts nécessite une réduction importante des épaisseurs d'oxyde et du film de silicium. En plus des améliorations citées dans la description du transistor partiellement déplété, le transistor SOI entièrement déplété possède d'autres avantages par rapport au transistor MOSFET conventionnel. Tout d'abord, les jonctions ultra minces limitées par l'épaisseur du film de silicium  $T_{Si}$  permettent un bon contrôle des effets de canal court. La pente sous le seuil s'approche de la pente idéale par la limitation de la déplétion à l'épaisseur du film  $T_{Si}$  [9]. Le bon contrôle des effets canaux courts permet également de réduire le dopage du film, ce qui rend l'utilisation d'un film faiblement dopé ajoutée à la réduction des champs électriques dans le SOI très importants pour l'amélioration de la mobilité des porteurs et, par conséquent, le courant de saturation. Cependant, la fabrication de transistors SOI à film de silicium mince présente quelques inconvénients, nous citons la réduction de l'épaisseur  $T_{Si}$  qui fait augmenter les résistances parasites des contacts source et drain. Pour réduire ces résistances, les jonctions de source et de drain doivent être fortement dopées, ce qui augmente la diffusion des

## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET

dopants dans le film et réduit par conséquent la longueur effective du canal. Parallèlement, plus les films sont minces, plus les fluctuations sur une même plaquette induisent des différences de comportement entre les composants, notamment en termes de tension de seuil. La tension de seuil est également modifiée par l'apparition des effets de confinement quantique des porteurs dans les films très minces. Aussi, l'oxyde enterré s'avère être un obstacle pour l'intégration des transistors les plus avancés. Il empêche l'évacuation de la chaleur par le substrat et le phénomène d'auto-échauffement en résultant dégrade le courant de fuite  $I_{off}$ , la pente sous le seuil et la mobilité des porteurs. Il a aussi été observé que l'oxyde enterré ne limite pas indéfiniment le couplage électrostatique entre la source et le drain et par conséquent les effets de canal court.

Pour conclure, nous pouvons dire que lorsque l'épaisseur de la couche SOI diminue, et la déplétion sous la grille atteint l'oxyde enterré, le transistor est alors complètement déplété. Dans ce cas, les effets canaux courts peuvent être mieux contrôlés car la plupart des lignes de champ se propagent dans l'oxyde enterré avant d'atteindre la région de canal. Une autre variété, les transistors sur SON, permet de travailler avec des substrats SOI localisés uniquement sous le canal de conduction. Cette nouvelle technologie appelée SOI présente indéniablement des avantages par rapport à la technologie MOSFET classique.

### II.3.2 La technologie SOI à grille unique

Le terme SOI (Silicon On Insulator) signifie littéralement silicium-sur-isolant. Contrairement au MOSFET Bulk (Fig. II.2.a) où les composants sont réalisés sur un substrat de silicium –appelé parfois Bulk–d'une épaisseur de l'ordre de  $600\mu\text{m}$  dont seuls les premiers microns en surface sont réellement utiles, le SOI est réalisé sur un film de silicium au préalable posé sur une couche d'oxyde enterrée (Fig. II.2.b). Le film de silicium a une épaisseur que nous noterons  $T_{Si}$  [4].

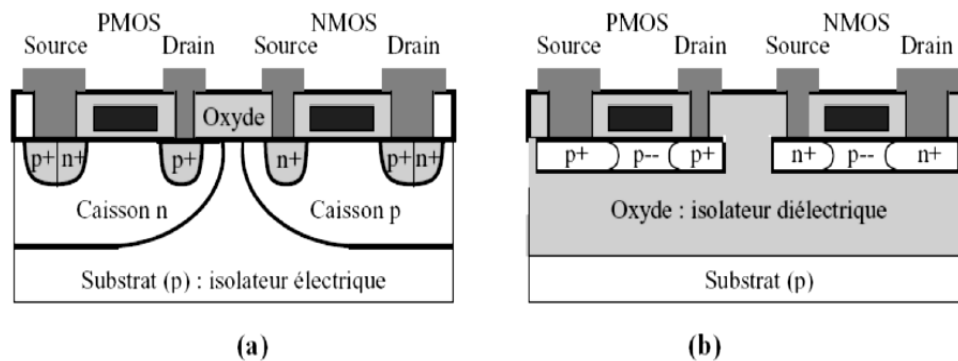
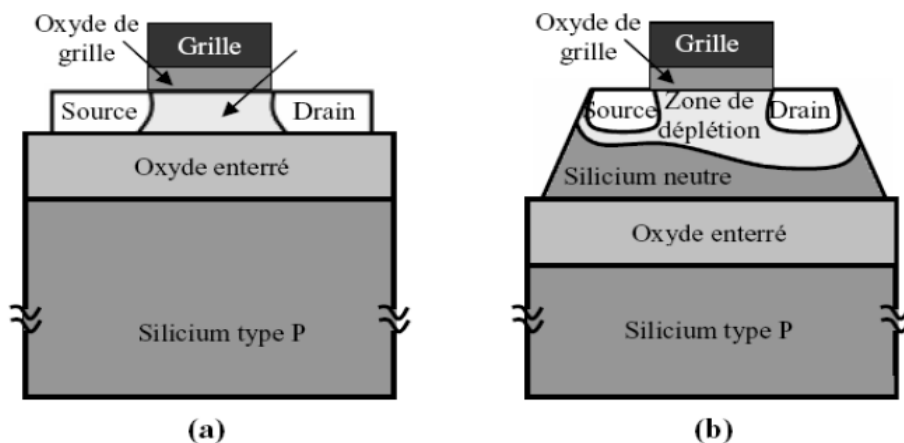


Fig.II.2 Coupe schématique de transistors MOS (a) Bulk et (b) SOI [4, 10].

## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET

Toujours à l'opposé du transistor MOS Bulk où le canal d'inversion est localisé à l'interface silicium-oxyde, la structure SOI a donné naissance au concept d'inversion volumique [11]. La présence de l'oxyde enterré permet un meilleur contrôle du potentiel dans le canal par la grille que dans le transistor MOS sur silicium massif. Suivant les différentes épaisseurs du silicium et dopages du canal, il existe deux types de technologies SOI (simple grille), comme le montre la figure II.3 qui décrit ces deux structures. Si tout le film de silicium (avec une épaisseur très grande et un fort dopage du canal) n'est pas complètement déplété, nous sommes dans le cas d'un SOI partiellement déplété (Partially Depleted SOI, ou PD SOI). Le fait que toute l'épaisseur de silicium ne soit pas déplétée on a alors un fonctionnement semblable au MOS Bulk. Le PD SOI n'a donc que relativement peu d'intérêt par rapport au MOS Bulk. Par contre, si l'épaisseur du silicium est suffisamment mince et le dopage du silicium est moins important pour que tout le silicium puisse être déplété, nous sommes dans le cas d'un SOI entièrement déplété (Fully Depleted SOI, ou FD-SOI). Dans le cas du FD-SOI, l'épaisseur du silicium est très petite, et donc nous n'avons plus besoin d'une grande tension de grille pour la déplétion du silicium et le champ transversal est naturellement plus faible que dans le MOS Bulk. Dans ce cas, où il y a moins de porteurs qui circulent vers la grille sous le champ transversal, moins de porteurs sont capturés par les pièges dus à l'imperfection de l'interface.



**Fig.II.3** Représentation schématique d'un transistor SOI: (a) entièrement déplété et (b) partiellement déplété [4, 10].

### **II.3.3 Avantages de la technologie SOI**

Dans ce qui va suivre nous allons présenter quelques avantages de l'usage de plaquettes SOI par rapport au Bulk traditionnel dans développement de composants CMOS [12]:

- ✓ Basse tension d'opération avec la même performance de sortie comparée avec la technologie Bulk qui doit opérer à une plus haute tension de fonctionnement, ceci mène à une basse consommation (autour de 40-50% moins).
- ✓ Elimination des capacités de jonction et l'effet de corps conduisent à une amélioration de la performance de 30% par rapport à la technologie bulk, tel l'état de commutation.
- ✓ Réduction de l'influence des radiations tel le taux d'erreur-logicielle qui affecte le stockage en mémoire des données.
- ✓ Réduction du courant de fuite, ce qui amène à une meilleure application numérique pour une consommation réduite.
- ✓ En plus d'une simplification dans les procédés de fabrication due au nombre réduit de masques, l'isolation verticale et horizontale résulte dans une plus grande densité des composants réalisés sur une même plaquette de même dimension comparée avec la technologie Bulk.
- ✓ Une meilleure gamme de température d'opération.
- ✓ Une diminution des effets canaux courts due à la réduction du composant.
- ✓ Elimination du latch-up (est un type de court-circuit qui peut se produire dans un circuit intégré), un phénomène parasite dû au déclenchement du thyristor parasite lié à la proximité des zones N+ et P+ de transistors nMOS et pMOS voisins, ainsi que du claquage entre ces deux zones.
- ✓ Amélioration du contrôle de la grille sur la charge de déplétion, le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup plus important pour le transistor SOI, par comparaison au transistor MOS Bulk.
- ✓ Amélioration de la pente sous le seuil.

### **II.3.4 Inconvénients de la technologie SOI**

La technologie SOI n'offre pas que des avantages, ainsi nous enregistrons quelques inconvénients plus ou moins importants, nous citons :

- ✓ L'auto-échauffement des composants dû à l'importance de la résistance thermique de l'isolant, qui ne permet pas d'évacuer assez rapidement la chaleur [13], ceci peut mener à

## **CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET**

---

une diminution de la mobilité effective des porteurs et donc une diminution de la conductance de drain et une dégradation du courant [7].

Augmentation du courant et apparition de bruit en saturation par effet Kink (c'est l'un des principaux effets du substrat flottant et déclenché par l'accumulation de charges produites par ionisation par impact dans le film de silicium. Cet effet se traduit dans les transistors SOI partiellement déplétés par une augmentation du courant de drain et par du bruit électrique en saturation), et possibilité de création d'effet de mémoire de la tension de seuil des transistors partiellement déplétés.

- ✓ Un coût de plaquette élevé, qui peut varier entre 5 et 10% de plus que le substrat Bulk, ce qui a pour conséquence une augmentation du coût de production qui peut être réduit dans le cas d'un grand volume à moins de 4% [14].
- ✓ La polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré. Cet effet néfaste devient conséquent surtout lorsque l'épaisseur d'oxyde est importante.

En général, la technologie SOI offre beaucoup d'avantages pour la fabrication CMOS. Il est d'ailleurs estimé que ce composant est un candidat susceptible de réussir l'intégration des dispositifs de dimensions longitudinales inférieures ou égales à 30 nm [12]. Naturellement, réduire l'épaisseur d'oxyde ne ferait que réduire l'influence électrostatique, en revanche, insérer une grille en-dessous de l'oxyde constituerait un bouclier qui bloquerait complètement les lignes de champs. Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts. Ce principe a ouvert la voie vers de nouvelles structures dites à grilles multiples que nous allons présenter dans le paragraphe suivant.

### **II.4 Les transistors à grilles multiples**

Comme nous l'avons expliqué brièvement auparavant, la technologie SOI à simple grille ne permettait pas de réduire les effets canaux courts en raison notamment de l'influence électrostatique existante. Cependant, l'ajout de grille autour de la couche de silicium, non seulement favorise l'isolement du canal de conduction, d'où sa protection, mais offre également un meilleur contrôle sur ce canal.

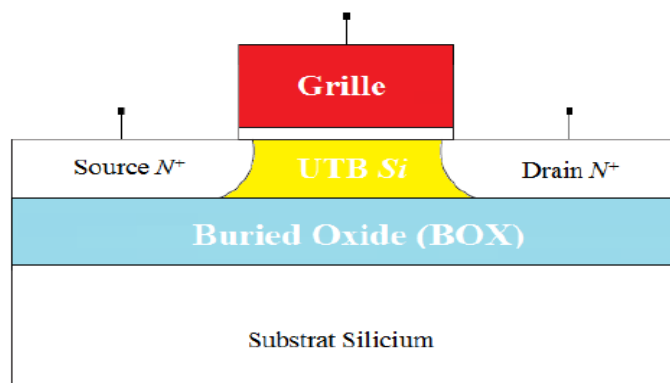
Notons que c'est suivant le nombre de grilles qui contrôlent le canal et leur positionnement autour du film de silicium, la dénomination des MOSFETs SOI diffère. Ainsi nous trouvons dans la littérature des transistors Double-grille, le FinFET, le Triple-grille, le GAA à section carrée ou

## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET

même le GAA à section cylindrique. L'intérêt principal des Multi-Grilles est l'excellent contrôle électrostatique du potentiel dans le canal, cela augmente donc le contrôle des grilles de charge dans ce dernier par le nombre et l'architecture des grilles. En effet, le développement des Multi-Grilles FETs est bâti sur l'excellent contrôle des effets canaux courts. L'utilisation de substrats SOI pour la conception de ces nouveaux composants permet la réalisation de transistors MOSFET à plus fort pouvoir bloquant et surtout bien plus rapides. IL est bien établi que pour un transistor MOSFET conventionnel, le substrat est le siège d'un courant de fuite, qui est principalement dû aux effets indésirables de perçement volumique qui surviennent dès que la longueur du canal diminue et ceci pour atteindre des valeurs nanométriques inférieures ou égales à 50 nm. Dans un SOI-MOSFET, l'oxyde enterré constituant l'isolant généralement du SOI prend la place de la zone de perçement. Cet oxyde enterré de faible épaisseur a bien évidemment une action bénéfique sur les SCEs [15] et permet aussi la réduction des capacités parasites favorisant la dynamique de l'inverseur CMOS. On peut aussi constater une amélioration de la mobilité effective des grilles principalement dû au phénomène d'inversion volumique dans les Multi-Grilles FETs.

### II.4.1 Le UTB MOSFET

Le Ultra-Thin Body (UTB) MOSFET est développé en technologie SOI. C'est un dispositif MOS dans lequel un film mince de Silicium est développé au-dessus d'une couche d'oxyde qui se trouve sur un substrats (Fig.II.4). L'idée de cette structure est bâtie sur le fait d'avoir une couche très fine de silicium faiblement dopé pour permettre la déplétion entière de silicium [16, 17]. Le UTB SOI MOSFET entièrement déplété est un dispositif multi-grille qui est considéré comme étant le premier successeur du MOSFET Bulk et cela pour les applications VLSI [18, 19]. Le transistor UTB SOI MOSFET peut être utilisé pour atteindre les 18 nm de longueur de grille physique avec une épaisseur de silicium inférieure à 5 nm [20].

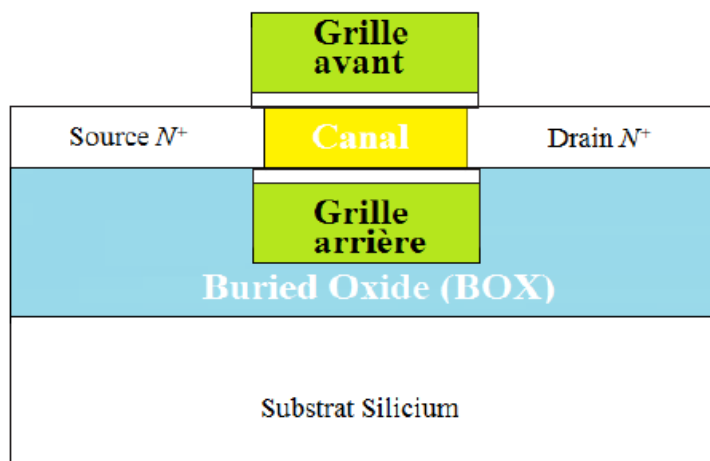


**Fig.II.4** Coupe transversale de la structure du UTB MOSFET en technologie SOI [21].

## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET

### II.4.2 Transistor MOSFET à double grilles (Double-Gate MOSFET)

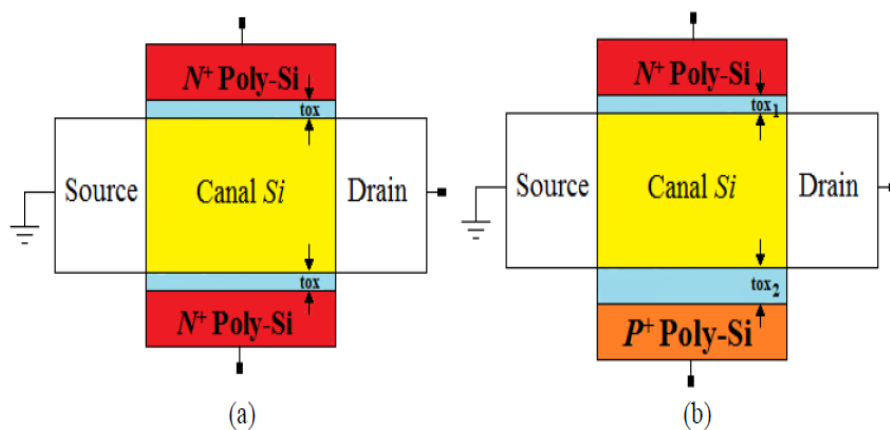
En considérant un SOI-MOSFET à grille unique, il faut noter l'existence d'un champ électrique dans l'oxyde enterré d'un transistor SOI simple grille. Les lignes de champ électriques relient le drain et le silicium et traversent l'oxyde enterré augmentant le potentiel dans le silicium. Cet effet s'appelle " Induced Virtual Substrate Biasing effect DIVSB". L'ajout d'une seconde grille enterrée sous le silicium permet d'obtenir un MOSFET double grille ayant pour effet d'éliminer l'effet DIVSB car la grille enterrée va tout simplement couper les lignes de champ. L'idée d'ajouter une deuxième grille en arrière des dispositifs, et de prendre ainsi le canal en sandwich par deux grilles a été proposée en 1984 par T. Sekigawa et Y. Hayashi [22]. À travers cette configuration de grille, les effets canaux courts sont énormément réduits, le courant de drain et la transconductance sont augmentés. Ce type de transistor présente d'excellentes performances et avantages en comparaison avec la structure classique du Transistor MOS, cela à travers l'utilisation du phénomène de l'inversion volumique qui mène à l'amélioration de la mobilité des porteurs de charge dans le canal [23]. Dans la figure II.5, nous présentons la structure générale du MOSFET à double grilles planaire.



**Fig.II.5** Schéma du DG MOSFET planaire, où les deux grilles sont électriquement Connectées [21].

## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET

Dans la littérature spécialisée, le MOSFET à double grilles se présente sous trois formes: la première forme correspond à la structure planaire (Fig.II.5) dont l'orientation des grilles, le canal et le courant sont suivant la direction latérale. La deuxième forme correspond au transistor double grilles vertical où la direction du courant et l'orientation des grilles est suivant la direction verticale. Dans la troisième forme, le dispositif est orienté suivant la direction verticale et la direction du courant est suivant la direction latérale [24], c'est ce qu'on appelle un FinFET avec configuration Double Grilles, ce dernier va être détaillé dans la prochaine section. En outre, le DG MOSFET peut être symétrique ou asymétrique. Le terme symétrique signifie l'utilisation du même matériau de grille avec des épaisseurs d'oxydes de grilles identiques (Fig.II.6.(a)). Dans le cas asymétrique les matériaux de grille ont différents travaux de sortie ( $\Phi_{M1}$  et  $\Phi_{M2}$ ) et les épaisseurs d'oxyde de grilles ne sont plus identiques (Fig.II.6.(b)) [25].



**Fig.II.6** Structures du DG MOSFET: symétrique (a) ; asymétrique (b) [21, 25].

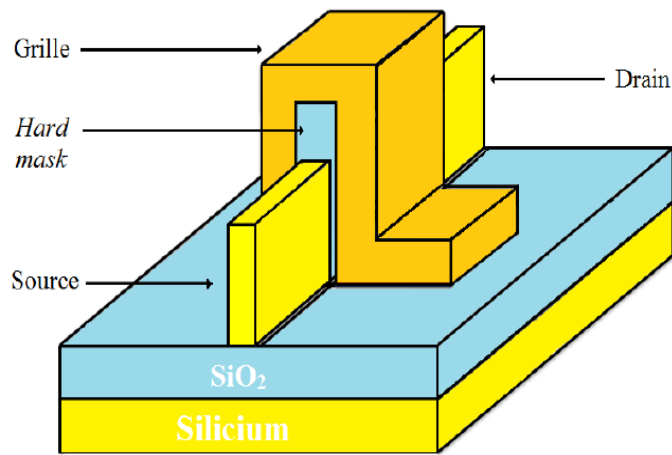
### II.4.3 Le FinFET

Depuis quelques années, la fabrication des circuits CMOS atteint les 22 nm de nœuds technologique, les FinFET jouaient un rôle très important dans les applications analogiques/logiques et surtout dans les systèmes-sur-puce (SOC), tels que les SRAMs [26].

Le FinFET est un dispositif 3D qui utilise la configuration double-grille de transistor DG MOSEFT [27]. La structure du FinFET (Fig.II.7) se compose d'un film de silicium vertical (très mince), en anglais appelé "Fin" (aillette ou aileron). La grille entoure les deux côtés du "Fin" permettant ainsi la création d'un canal de chaque côté. L'avantage principal de cette structure par rapport au double-grille est que les grilles sont auto-alignées et peuvent être fabriquées en utilisant une seule lithographie avec une seule étape de gravure. Il combine donc les hautes performances de

## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET

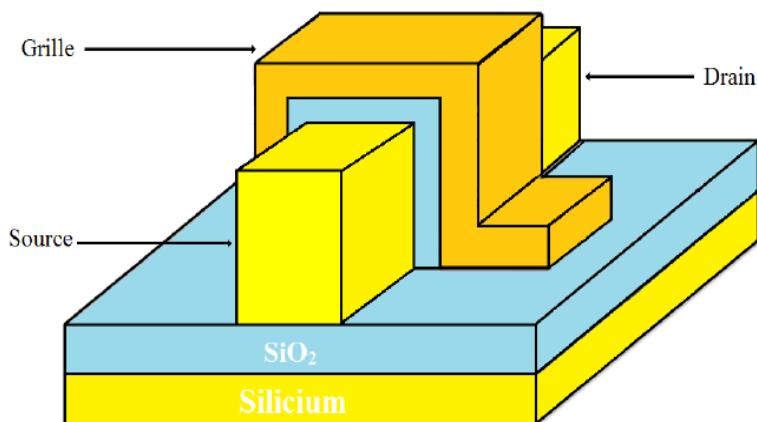
l'architecture double grilles et les processus de la fabrication classique des transistors à effet de champ [28].



**Fig.II.7** Schéma de la structure général du FinFET [21].

### II.4.4 Le Triple Grille (TG)

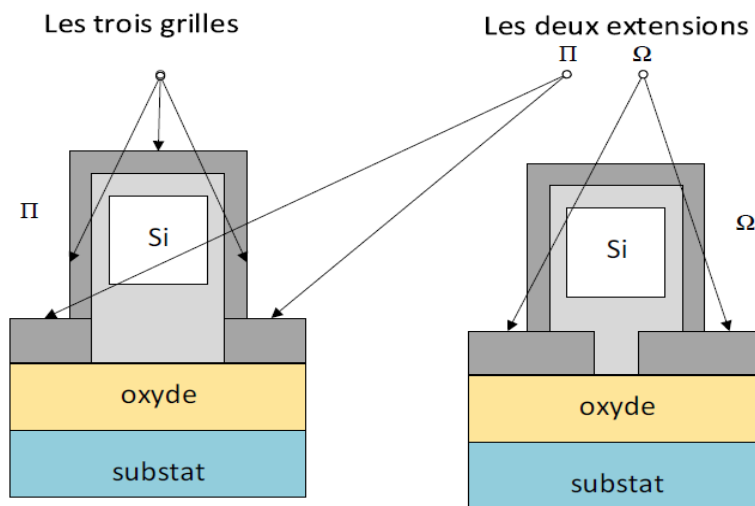
De façon générale, le triple-grille (Triple Gate) MOSFET est considéré comme un cas particulier du FinFET. Le terme triple-grille signifie l'utilisation de trois surfaces de grilles pour contrôler le canal à travers ses trois cotés. Du point de vue technologique, le triple-grille n'a pas de "Hard Mask", ce qui permet la création de trois canaux au lieu de deux de plus, il permet d'améliorer le contrôle du potentiel électrostatique dans le canal [29, 30]. La figure II.8, présente la structure du triple-grille en trois dimensions (3D).



**Fig.II.8** Schéma de la structure du Triple-Grilles (TG) SOI MOSFET [21].

## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET

Le transistor MOS à triple-grilles (TG) FET représente une innovation importante requise pour continuer la loi de Moore. En effet, les hautes performances des TG ont mené à l'utilisation de ce dernier dans la fabrication des microprocesseurs et des mémoires. La technologie TG FET à 22 nm de longueur de grille a été introduite par INTEL en 2011, pour la fabrication et la production en volume des microprocesseurs codés sous le nom de "Ivy Bridge" [31]. Cependant, la densité mobile de porteurs dans les dispositifs TG est plus grande dans les coins que dans les autres parties du canal. En effet, le champ électrique est très fort dans ces régions induisant un accroissement de la mobilité. L'effet de coin est plus important dans le cas des canaux à forts dopage, et il dégrade la pente sous le seuil du dispositif [32]. D'autre part, le contrôle du potentiel électrostatique dans le canal de dispositif TG peut être amélioré par les deux structures  $\Pi$  Gate et  $\Omega$  Gate [33, 34], représentés sur la Figure II.9.



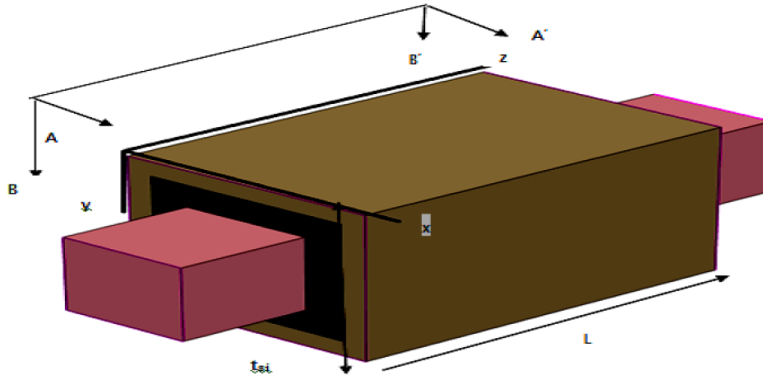
**Fig.II.9** L'extension des grilles conduisant aux structures  $\Pi$  et  $\Omega$  SOI MOSFETs [35].

### II.4.5 Le MOSFET Quadruple grille [2]

Les MOSFETs SOI ultra-minces peuvent être fabriqués sous différentes formes, ils peuvent être à simple ou à double grille (DG), ou à grille enrobante qui peut être soit cylindrique soit rectangulaire (gate-all-around, GAA) MOSFET. Le MOSFET quadruple grille possède quatre grilles (QG) enrobant de ce fait le film de silicium. Cette structure représente la configuration la plus optimale offrant la meilleure contrôlabilité de la grille sur le canal de conduction du transistor. Les quadruple-grille incluent des structures telles que le CYNTHIA à section circulaire et le Surrounding Gate MOSFET en colonne à section carrée pouvant dans ce cas être planaires ou

## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET

verticales. Les quadruples grilles MOSFETs peuvent être groupées comme suit: symétriques, et asymétriques MOSFETs. Les Quadruple grille MOSFETs sont dits symétriques lorsque toutes les grilles ont le même travail de sortie du métal constituant la grille, même épaisseur d'oxyde de grille et une tension de polarisation appliquée à toutes les grilles. Une configuration d'une structure à grille enrobée et section carrée symétrique est indiquée sur la figure II.10.



**Fig.II.10** Schéma 3D d'un MOSFET à grille enrobée à section carrée [2, 20].

Pour un transistor MOSFET à quatre grilles asymétrique, les métaux constituant les grilles ont des travaux de sortie distincts. On peut donc conclure que la notion de symétrie, reflète principalement l'apparition ou la non-apparition de symétrie des distributions des potentielles électrostatiques au niveau des interfaces Si-SiO<sub>2</sub> du canal. Les dispositifs MOS à Quadruple grille ont été présentés avec un canal non dopé et dopé pour différentes applications. Le quadruple MOSFET non dopé est adapté aux applications numériques. Les MOSFET quadruples à canaux dopés ont trouvé leur place dans diverses applications telles que les applications de bande de base analogique, applications de mémoire, etc.

### II.4.6 Modes de fonctionnement des transistors à grilles multiples

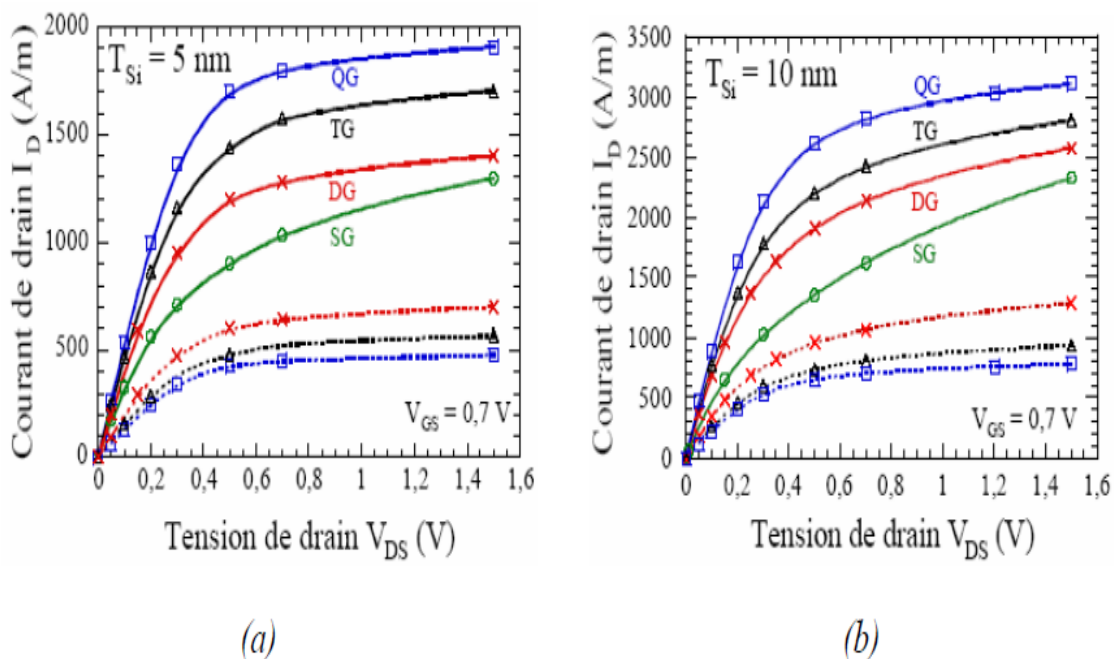
Après avoir présenté brièvement les différentes structures MOSFETs à multiple grilles nous présentons dans ce qui suit quelques caractéristiques statiques des architectures multi grilles.

#### II.4.6.1 Etat passant

Le fait d'ajouter une grille se traduit par l'ajout d'un canal d'inversion en régime de forte inversion. De ce fait, le courant à l'état passant  $I_{On}$  croît lorsque le nombre de grilles augmente.

## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET

Cependant, l'augmentation de  $I_{on}$  n'est en fait pas proportionnelle au nombre de grilles du transistor. En effet, deux MOSFETs double-grille en parallèle débitent plus de courant qu'un MOSFET quadruple grille. Par ailleurs, La transconductance  $g_m$  est aussi améliorée avec l'augmentation du nombre de grilles du transistor. La même conclusion que pour le courant de  $I_{on}$  du transistor permet de conclure que l'augmentation de la transconductance n'est pas proportionnelle au nombre de grilles. Par ailleurs, la diminution de l'épaisseur du canal du transistor conduit à une réduction de sa transconductance [13].



**Fig.II.11** Caractéristiques  $I_{ds}-V_{ds}$  des multi-grilles pour  $L=15$  nm, (a)  $T_{Si} = 5$  nm et (b) 10 nm. En tirets, le courant est divisé par le nombre de grilles ; 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple-grille(QG) [13].

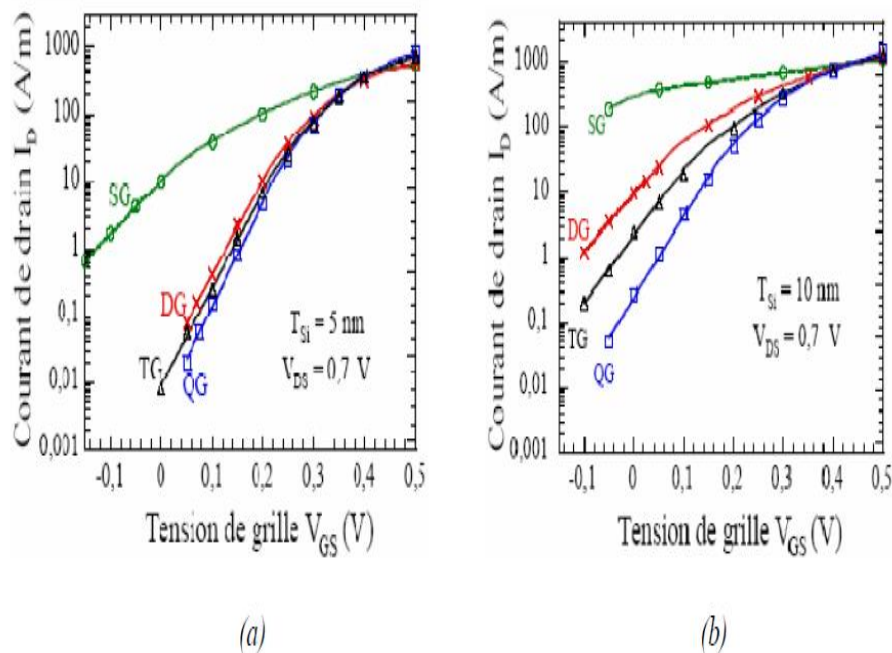
### II.4.6.2 Etat bloqué

Sur la figure II.12, nous constatons que les caractéristiques du dispositif MOSFET SOI à une grille sont fortement dégradées en raison des effets canaux courts qui sont quasiment incontrôlés. Les structures simulées sur cette figure correspondent à des transistors MOS de 15 nm de longueur de canal. La valeur de la pente sous le seuil SS est supérieure à 100 mV/dec. Il ressort de cette figure que le comportement sous le seuil s'améliore nettement avec le nombre de grilles croissant, et ce en raison d'une amélioration du contrôle électrostatique. La réduction de  $T_{Si}$  a aussi un effet

## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET

bénéfique sur le SS. L'explication de cet effet vient toujours du contrôle du canal, lequel est bien meilleur lorsque les deux grilles sont proches, c'est à dire lorsque  $T_{Si}$  est faible.

Finalement, nous pouvons conclure que le pouvoir bloquant des transistors est amélioré par la réduction de l'épaisseur de la zone active  $T_{Si}$ . A  $T_{Si} = 10$  nm, il faudrait quatre grilles pour garder des valeurs du SS acceptables ( $SS < 80$  mV/dec pour  $L=15$  nm), tandis qu'à  $T_{Si} = 5$  nm, il n'en faudrait que deux [13].



**Fig.II.12** Caractéristiques  $I_{ds}-V_{ds}$  en échelle logarithmique des SOI multi-grilles pour  $L=15$  nm, (a)  $T_{Si} = 5$  nm et (b)  $T_{Si} = 10$  nm [13].

### II.4.7 Avantages des transistors à grilles multiples

L'idée d'ajouter de plus en plus de grilles repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, ces grilles polarisées peuvent commander le volume global de silicium entre la source et le drain. La conduction s'effectuant alors de manière volumique et non plus surfacique [36], on s'attend à des effets avantageux pour la valeur du courant de drain. De plus, la prise de contrôle du canal se révélant plus importante, on s'affranchit des effets canaux courts liés à l'influence de  $V_{DS}$ : la diminution drastique de l'épaisseur d'isolant devient moins cruciale. Enfin, par leurs dispositions, les grilles font enseigne de bouclier

contre les lignes de champs créées par la polarisation du drain et qui influent sur la circulation des électrons. Finalement, les performances sont nettement améliorées avec de telles architectures multi-grilles. A cet effet, elles font l'objet actuellement de recherches intenses dans de nombreux laboratoires.

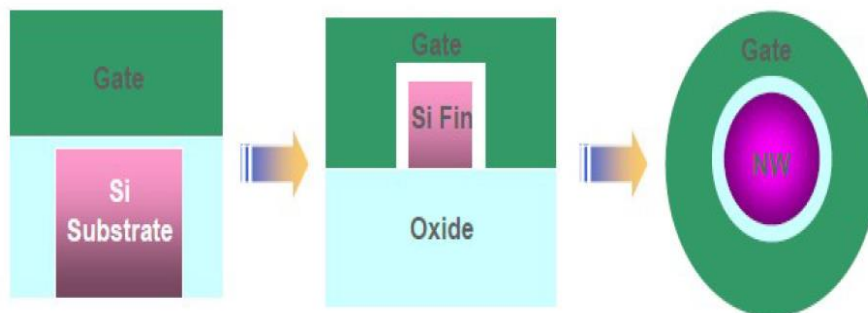
### II.4.8 Inconvénients des transistors à grilles multiples

L'un des inconvénients de ces structures dites à grilles multiples est essentiellement l'accroissement des résistances des extensions source et drain. De plus, les dimensions de la zone active étant réduites à moins de quelques dizaines de nanomètres dans toutes les directions, de multiples questions se posent quant à la physique du transport dans ces dispositifs: importance du transport balistique [37] ou par effet tunnel [38] entre source et drain. Finalement, le point qui reste de loin le plus critique réside, bien entendu, dans leur fabrication qui nécessite la mise en œuvre de procédés plus que délicats.

## II.5 Différent types des transistors a grille enrobante GAA MOSFET

### II.5.1 GAA nanofil

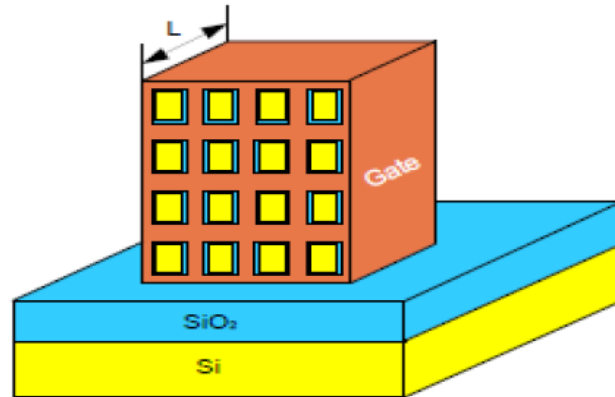
Pour les futures applications CMOS, les transistors Gate-All-Around (GAA) nanofil (NW) sont considérés comme candidats prometteurs grâce à un excellent contrôle de la grille sur le canal [2].



**Fig.II.13** Développement de la structure du dispositif classique avec une seule grille plane vers une structure totalement GAA [39].

La figure II.13 montre le développement du dispositif à partir d'un transistor à structure plane vers un transistor GAA. Intel a récemment annoncé la production en masse des transistors triple-grille (Finfet) [40]. On s'attend alors à la production en masse des nanofils représenté sur la figure

II.14 et qui permettront un meilleur contrôle de la grille sur le canal ainsi que la suppression des effets de canal court.

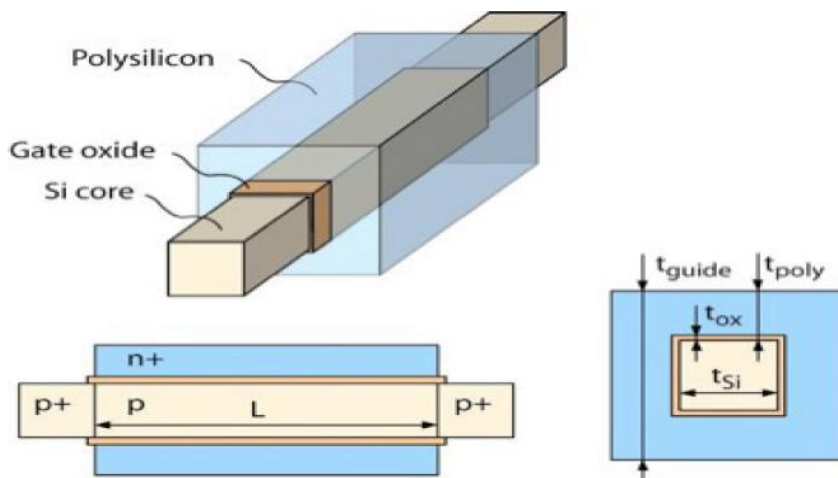


**Fig.II.14** Le nanofil MOSFET [2].

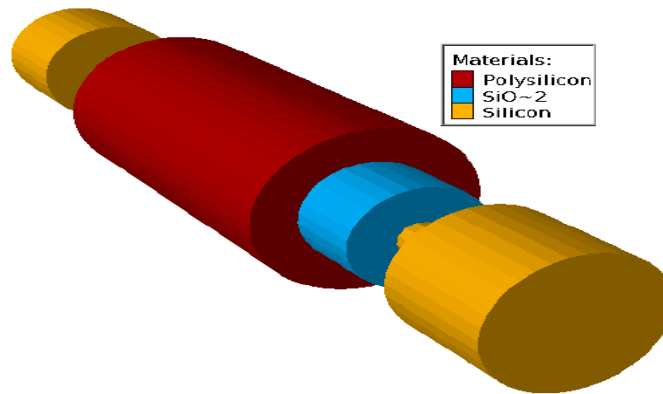
Afin d'augmenter le courant du transistor, plusieurs Fins peuvent être mis en matrice ce qui aura pour conséquence d'augmenter l'efficacité de l'utilisation de la surface. Aussi la dimension de la section du silicium étant petite ainsi le contrôle de la grille est alors renforcé.

### II.5.2 Transistor nanométrique a grille enrobante GAA MOSFET

Le GAA MOSFET (Gate-All-Around) [41, 42] est d'un concept similaire à celui du FinFET, sauf que dans ce cas la grille entoure la région de canal sur tous ses côtés. Selon sa conception, le GAA MOSFET à section rectangulaire peut avoir deux ou quatre grilles efficaces. La figure II.15 montre la structure du dispositif d'une quadruple grille MOSFET et la figure II.16 montre la structure d'un GAA à grille cylindrique.



**Fig.II.15** Structure de dispositif MOSFET Quad-Gate [43].

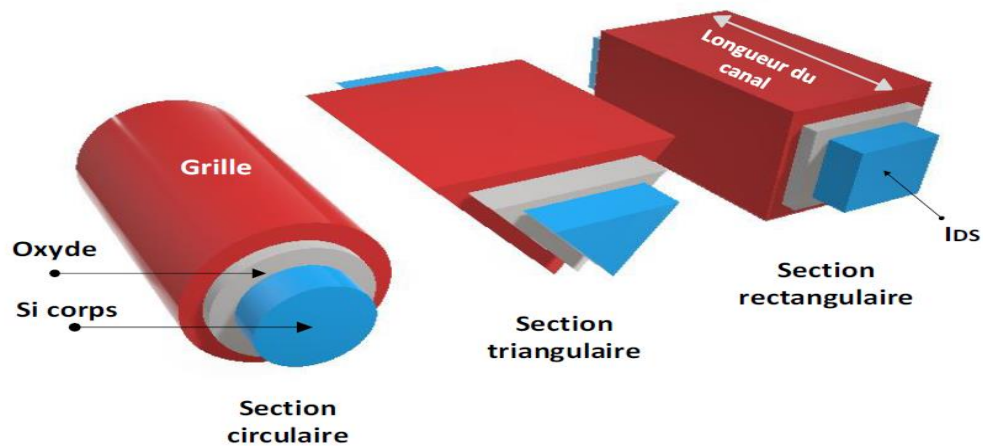


**Fig.II.16** Structure de dispositif MOSFET cylindrique [2].

Dheeraj Sharma et Santosh Kumar Vishvakarma [44] ont conçu une nouvelle analyse modèle potentiel 3-D dans le subliminal et la région de forte inversion de la GAAMOSFET Quadruple. Ils ont obtenu la distribution du potentiel dans le sous-seuil et la région de forte inversion de la région de canal d'un transistor MOS de QGAA en résolvant simultanément l'équation de Laplace 3D, et des équations de Poisson 3D. Ils avaient pris la fonction de distribution potentiel pour être parabolique le long de l'axe z dans le sens vice de canal de- et adapté de manière appropriée avec les résultats du simulateur de dispositif 3D après examen de longueur caractéristique du dispositif de z-dépendu dans le régime subliminal. Pour une bonne évaluation des effets de canal court (SCE), ils ont outre électrostatiques près de la région de source modifiée et la région de drain.

## **II.6 Quelques architectures MOSFET à grille enrobée (SGT "Surrounding Gate Transistor ")**

Le transistor MOSFET à grille enrobée soit en Anglais SGT "Surrounding Gate Transistor " [45] ((i.e, Gate-All-Around(GAA)) [46], est une architecture MOSFET avancée. CSRG MOSFET est un dispositif MOS fabriqué avec une grille de forme cylindrique qui entoure un canal et un oxyde de même forme que la grille. Comme le montre la figure II.17, trois différentes formes de section sont représentées [47]. Les transistors à grille cylindrique seront décrits en détail dans cette thèse parce que c'est la géométrie choisie pour la modélisation et simulation des circuits nanométriques.



**Fig.II.17** Trois architectures du transistor GAA MOSFET avec des sections différentes [47].

Les SRG MOSFETs sont des excellents dispositifs, en termes de SCE, DIBL, pente sous le seuil et le rapport  $I_{on}/I_{off}$ . De 1990 à 2000, les auteurs se sont surtout intéressés à la modélisation des propriétés électroniques utilisant la mécanique quantique, et de nombreuses publications sont encore déconnectées de toutes les demandes de dispositif [48], ainsi le calcul de la bande interdite de silicium dans un fil quantique de silicium a été proposé la première fois en 1993 par M.-Y. Shen [49] et le premier transistor GAA sur SOI a été présenté en 1990 par J.-P. Colinge [50]. Malgré ces grandes dimensions ( $W/L= 3\mu\text{m}/3\mu\text{m}$ ) et une épaisseur de 50 nm d'oxyde de grille, ces dispositifs pionniers présentent des caractéristiques correctes. Un autre remarquable GAA transistor MOS a ensuite été proposé en 1997 par E. Leobandung et al. [51] ; c'est l'un des premiers rapports qui comprend une description complète des performances GAA. Les dimensions du nanofil sont en accord avec les prédictions de l'ITRS en 1997. Le fil a une section transversale rectangulaire (hauteur x largeur: 50 nm x 35-75 nm), la longueur de fil minimum est 70 nm et l'épaisseur de l'oxyde de grille est 11nm. Le poly silicium est aussi utilisé comme matériau d'oxyde de grille. Les caractéristiques extraites sont bonnes, avec une pente sous seuil de 90 mV/dec. Une conception multi canal est également proposée. Depuis lors, de nombreux designs optimisés ont été rapportés. Nous pouvons nous référer à J. Y.Song et al. [52] et S. D. Suk et al. [53] qui ont effectués deux excellents rapports sur la technologie GAA CMOS. L'article [52] fait une comparaison entre les deux géométries double grille et GAA, et montre comment le GAA améliore les performances. En second lieu, ce rapport fait également une comparaison entre une forme rectangulaire et un canal de section circulaire, montrant qu'un canal en silicium cylindrique a un courant  $I_{off}$  beaucoup plus

## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET

réduit et les effets SCE et DIBL plus faible, en raison de l'absence des effets de coin. Les résultats publiés dans la référence [53] ont également un grand intérêt et présente un processus pour l'intégration des MOSFET à double nanofils de silicium (Twin Silicon Nanowire MOSFET). Ils ont obtenu des dispositifs GAA circulaire de 5-10 nm de diamètre avec une longueur de grille de 30 nm, avec un courant  $I_{On}$  remarquablement élevé pour les transistors de type n de 2.64 mA/ $\mu\text{m}$ . Le SRG MOSFET est un excellent candidat pour continuer la miniaturisation des dispositifs MOS ainsi que d'augmenter la densité d'intégration dans les circuits CMOS. En effet, cette architecture présente de hautes performances pour de faibles dimensions et de faibles rayons de silicium, tels que l'excellent contrôle électrostatique, une pente sous le seuil près de l'idéal, un faible DIBL, etc [54]. Le SRG MOSFET se présente comme étant l'ultime structure des transistors multi grilles, cette structure a été développée avec l'idée d'avoir le meilleur contrôle électrostatique possible, ainsi que de corriger le problème des effets de coins [55].

### II.6.1 Quelques modèles de la technologie GAA MOSFET

Les transistors à grille enrobée GAA MOSFET peuvent être classés suivant des critères géométriques (la forme du canal) ou des critères électriques (la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal) ou aussi le nombre des canaux qu'ils possèdent. Ainsi, pourrions-nous distinguer [35]:

#### II.6.1.1 Le transistor GAA MOSFET rectangulaire

L'architecture du GAA MOSFET à section rectangulaire est basée sur l'architecture du transistor triple grilles soit le SOI-Tri-Gate FINFET auquel on a ajouté une quatrième grille permettant de réaliser le quadruple grille [56]. Un schéma de coupe permet de mettre en évidence la section rectangulaire de cette structure (Fig.II.18) [57].

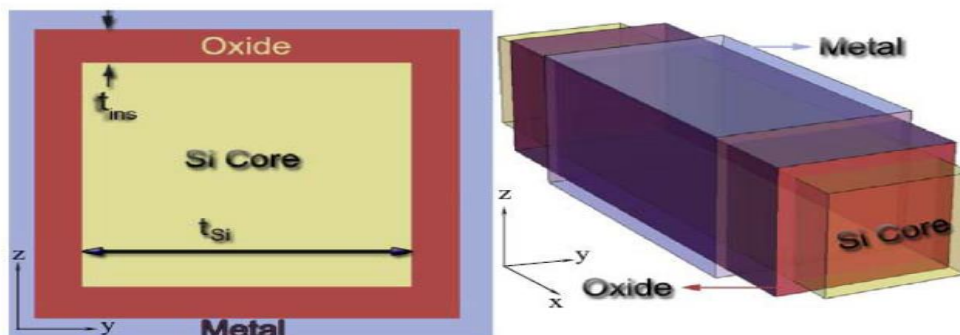
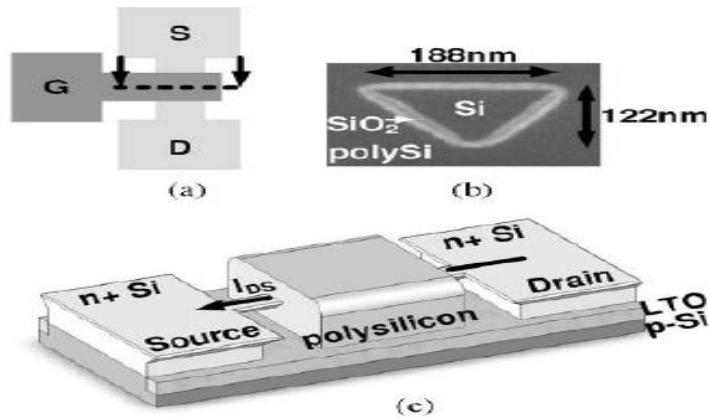


Fig. II.18 Coupe et vue en 3D du transistor GAA MOSFET carré [57].

### II.6.1.2 Le transistor GAA MOSFET triangulaire

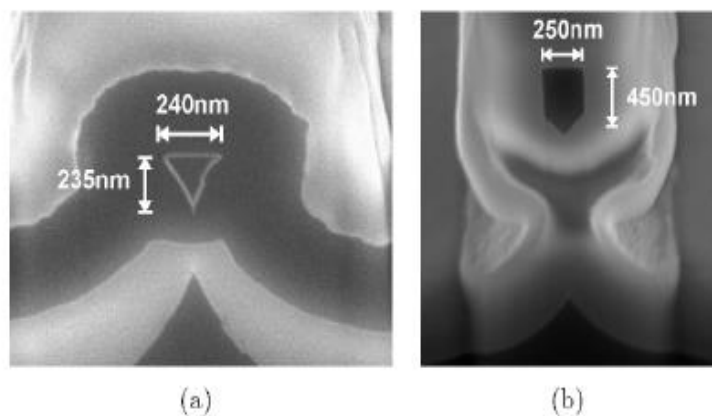
Le transistor GAA MOSFET triangulaire [56, 58- 59] puise son nom de la section de son canal qui est sous la forme d'un triangle. La vue de section avec dimensions de cette architecture est présentée par les figures II.19(b) et II.20(a). Les étapes de réalisation d'une telle architecture sont présentées par la figure II.21.



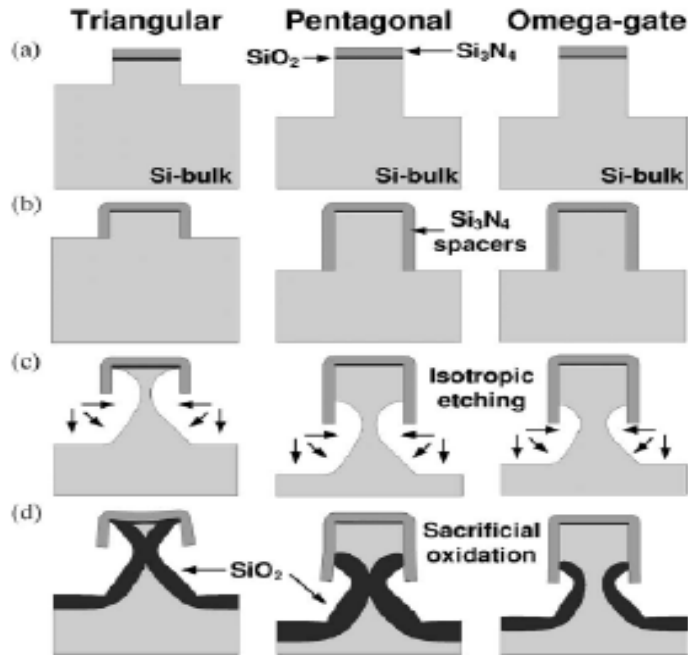
**Fig.II.19** (a): Vue de dessus du layout d'un GAA MOSFET, (b): vue de coupe avec SEM du GAA MOSFET triangulaire, (c): schéma 3D du GAA MOSFET [58].

### II.6.1.3 Le transistor GAA MOSFET pentagonal

Le transistor GAA MOSFET pentagonal porte un canal où sa section possède une forme d'un pentagone [58] comme illustré sur la figure II.20(b). Les étapes de réalisation d'un tel dispositif sont présentées par la figure II.21.



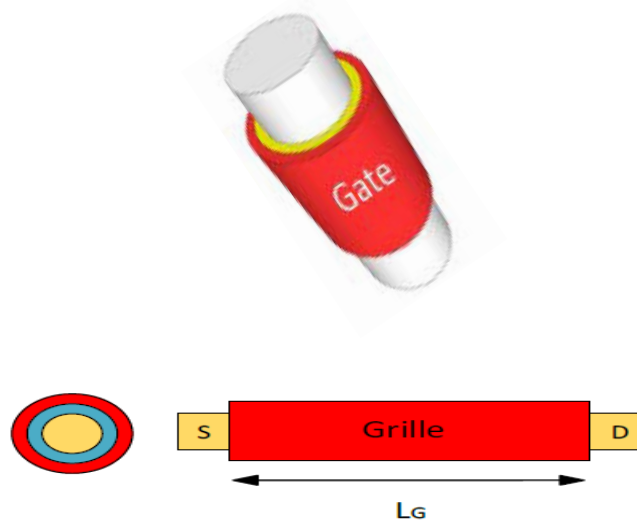
**Fig.II.20** Images FIB-SEM des coupes de (a) GAA MOSFET triangulaire et (b) GAA MOSFET pentagonal [60].



**Fig.II.21** Les étapes simplifiées de réalisation (coupe du canal) du transistor triangulaire, pentagonale et  $\Omega$ -gate [58].

#### II.6.1.4 Le transistor GAA MOSFET cylindrique

Le nom du transistor GAA MOSFET cylindrique découle de la forme de son canal qui est sous forme d'un cylindre et il porte aussi le nom de transistor à canal circulaire. La figure II.22 illustre cette architecture [35].

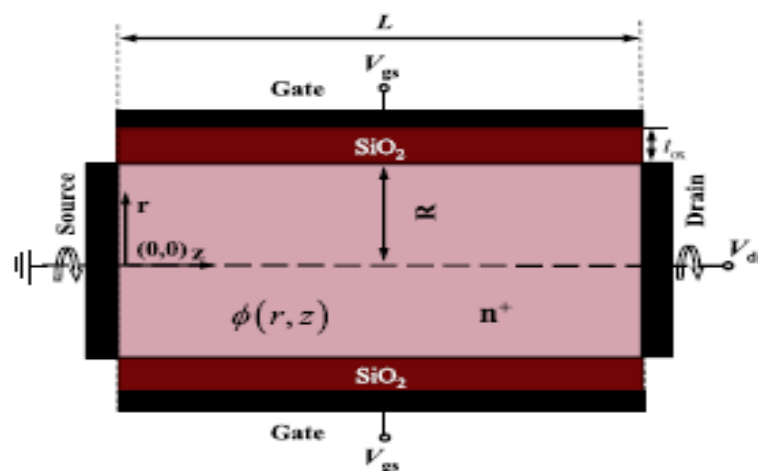


**Fig.II.22** vue schématique en 3D du transistor GAA MOSFET [2].

### II.6.2 Le transistor MOSFET cylindrique sans jonction (JLCSG- MOSFET)

Le MOSFET cylindrique (CSG) est considéré comme l'un des candidats les plus prometteurs de presque tout développement technologique utilisant des dimensions inférieures à 45 nm, et cela à cause de leur structure symétrique idéale et de leur excellente capacité de contrôle de grille. Les MOSFET CSG offrent la meilleure suppression des SCE pour une épaisseur d'oxyde d'une part et une longueur de canal données [61, 64] d'autre part. Cependant, la formation d'une jonction ultrafine source / drain pour les dispositifs à l'échelle nanométrique continue de poser de sérieux problèmes en termes de techniques de dopage et de coût [65]. Pour surmonter ces difficultés, des transistors sans jonction (JL) sont proposés [66]. La concentration de dopage du transistor JL est constante dans les régions source, canal et drain. L'absence du gradient de concentration de dopage élimine la diffusion des impuretés et cause le problème de la formation de profils de dopage prononcés. Il a été rapporté dans la littérature que les transistors JL ont une meilleure suppression des SCE et une pente idéale au-dessous du seuil (SS), qui ont été déjà simulés et mesurés expérimentalement [67, 68].

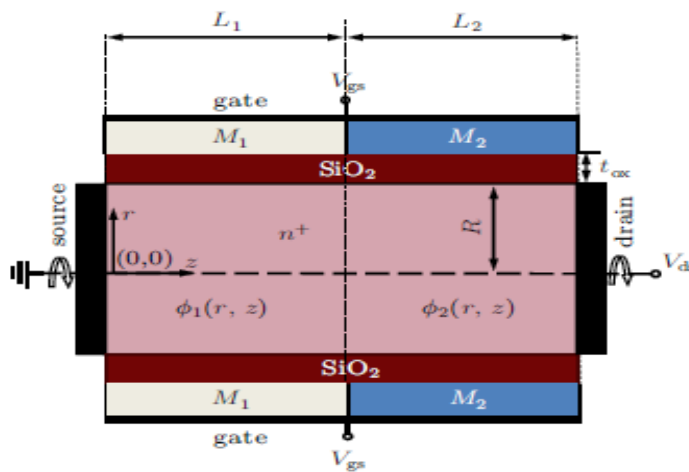
Récemment, Wang et al. [69] ont combinés les avantages des transistors JL et des transistors MOSFET CSG à la fois et présentés des transistors MOSFET JL CSG (JLCSG). Il ont démontré expérimentalement que les MOSFET JLCSG présentent une distorsion beaucoup plus faible pour toute une gamme de résistances à la charge, ce qui les rend supérieurs aux MOSFET à canal court modernes [69]. La figure II.23 montre le schéma d'un MOSFET JLCSG [55].



**Fig.II.23** Représentation graphique de la structure JLCSG MOSFET [55].

### II.6.2.1 Transistor MOSFET sans jonction à double matériaux de grille cylindrique (JLDMCSG- MOSFET)

Pour améliorer l'immunité contre les SCE et augmenter la vitesse de commutation des dispositifs, une nouvelle structure appelée MOSFET junctionless (sans jonction) à double matériaux de grille cylindrique (JLDMCSG) a été proposée, ses performances ont été examinées par des moyens numériques de simulations. Il a été démontré que les MOSFET JLDMCSG présentaient des performances supérieures en canal court et d'excellentes caractéristiques de courant sous le seuil. Une représentation schématique d'un MOSFET JLDMCSG est représentée sur la figure II.24 [70].



**Fig.II.24** Coupe transversale de la structure JLDMCSG MOSFET [70].

### II.6.2.2 Transistor MOSFET junctionless à trois matériaux de grille cylindrique (JLTMCSG- MOSFET)

De plus, même pour le transistor JL le DIBL ne peut être négligé. Afin de renforcer l'immunité contre le DIBL, une structure de grille à trois matériaux (TMG) a été proposée [71]. Prenons trois de grille métalliques différentes avec des travaux de sortie différents comme électrodes de porte, cette structure TMG introduit deux étapes dans le profil de potentiel électrostatique du canal, par conséquent, la suppression simultanée du DIBL et l'amélioration de l'efficacité du transport de porteurs sont prometteuses. Un nouveau MOSFET à porte circulaire cylindrique à trois matériaux sans jonction (JLTMCSG) est proposé par Li Cong [72] par la combinaison des avantages de la structure sans jonction, de la structure tri-matériaux et de la

## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET

structure CSG. Nous allons, dans la section suivante, présenter une étude comparative des propriétés électriques entre le transistor JLTMCSCG et le transistor JLSMCSCG.

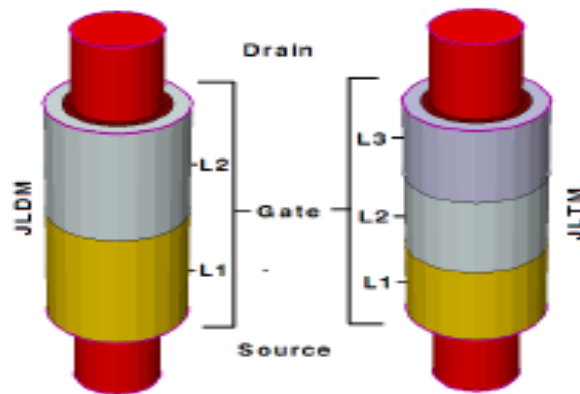


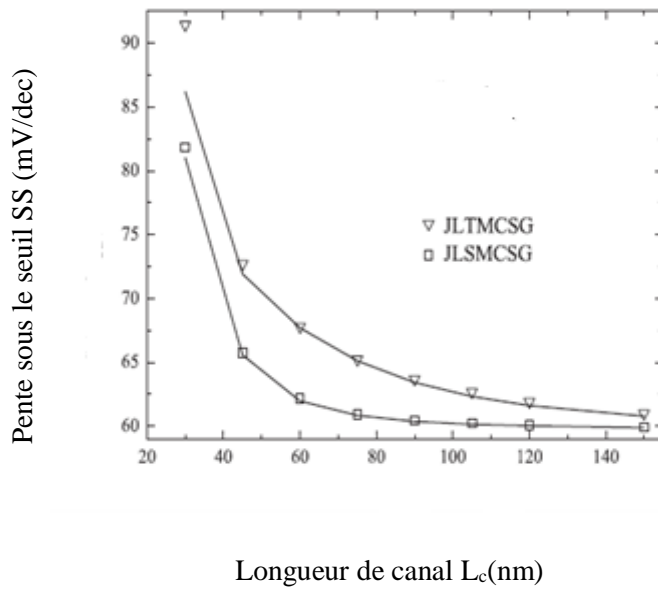
Fig.II.25 Structures MOSFETs, (a): JLDM CSG et (b): JLTM CSG [71].

### II.6.2.3 Etude comparative entre deux structures MOSFET : JLTMCSCG et JLSMCSCG [72]

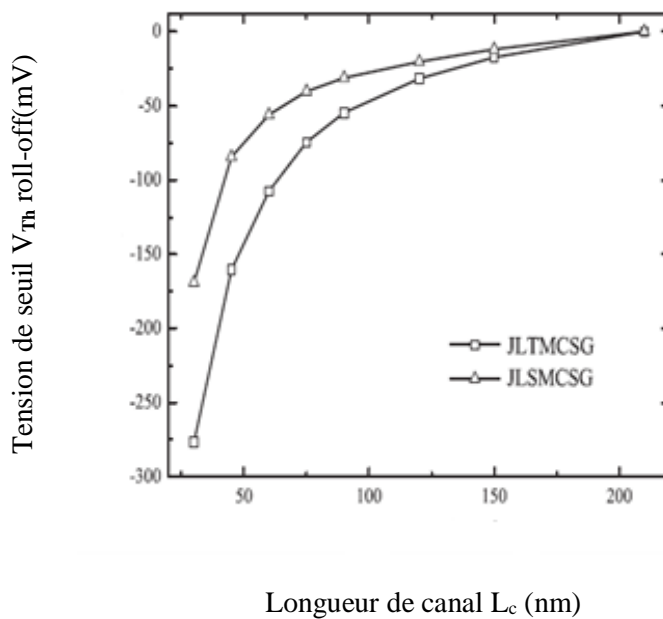
Les pentes du sous-seuil (SS) en fonction de la longueur du canal pour le MOSFET JLTMCSCG et le MOSFET JLSMCSCG sont présentés sur la figure II.26 où on voit que le MOSFET JLTMCSCG possède une pente de sous-seuil plus grand que le MOSFET JLSMCSCG, ceci à cause du courant sous-seuil qui est principalement déterminé par le potentiel central du canal le plus bas. De plus, afin d'étudier d'autres performances des effets des canaux courts de JLTMCSCG MOSFET et JLSMCSCG MOSFET, la tension de seuil ( $V_{th}$  roll-off) et le DIBL de JLTMCSCG MOSFET et JLSMCSCG MOSFET sont calculés à l'aide d'ISE simulateur..

On observe que le JLSMCSCG MOSFET présente une atténuation de tension de seuil roll-off plus importante que celle du MOSFET JLSMCSCG (Fig.II.27).La raison en est similaire à celle du courant sous-seuil. Pour JLSMCSCG, un seul métal est utilisé pour contrôler la tension de seuil, tandis que pour JLTMCSCG trois métaux sont utilisés pour accomplir cette tâche. Cependant, le MOSFET JLTMCSCG s'avère plus performant pour filtrer l'influence de la tension de drain, ce qui entraîne de meilleures performances DIBL. Il est montré sur la figure II.28 que le MOSFET JLTMCSCG possède un DIBL plus petit que celui du MOSFET JLSMCSCG.

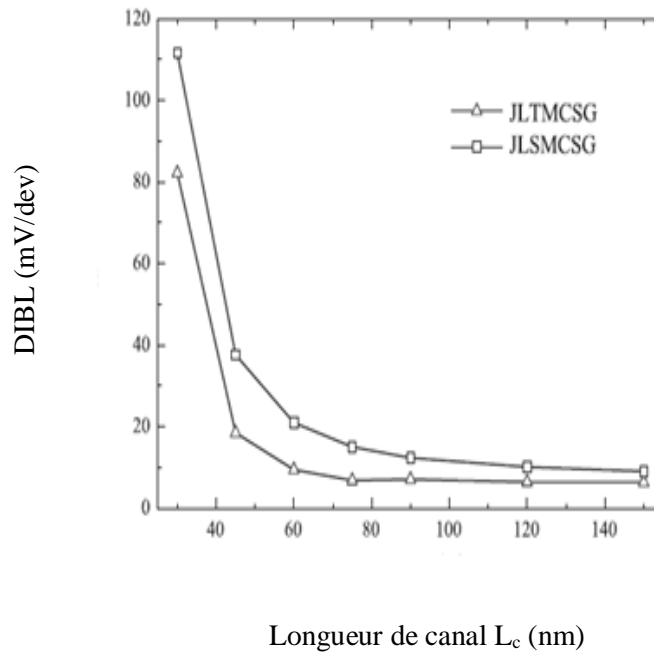
## CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET



**Fig.II.26** Évolution de la pente sous le seuil (SS) en fonction de la longueur de canal  $L_c$  pour JLTMSG MOSFET et JLSMSG MOSFET [72].



**Fig.II.27** Évolution de la tension de seuil ( $V_{th}$  roll-off) en fonction de la longueur de canal  $L_c$  pour JLTMSG MOSFET et JLSMSG MOSFET [72].



**Fig.II.28** Abaissement de la barrière d'injection source-drain due à la tension de drain (DIBL) en fonction de la longueur de canal  $L_c$  pour: JLTMCSSG MOSFET et JLSMCSG MOSFET [72].

## II.7 Conclusion

Dans ce chapitre nous avons présenté, l'essentiel des effets et problèmes technologiques limitant l'évolution de la technologie CMOS. Nous nous sommes focalisés sur les principales solutions technologiques envisagées. Nous avons donc présenté les différents transistors multigrilles MuGFETs.

En effet, les transistors à effet de champs à grilles multiples ont émergé comme étant les candidats prometteurs permettant d'atteindre des nœuds technologiques fortement submicroniques. Cependant, il faut noter que ce type de structures présente des avantages mais aussi des inconvénients.

La diversité de ces structures permet une nette amélioration des performances des circuits conçus utilisant de telles structures pour les applications à haute performances. Il est bien évident que la miniaturisation des dispositifs semi-conducteurs devient de plus en plus ardue, c'est ainsi que la structure JLTMCSSG-MOSFET est très importante et joue un rôle prépondérant en nanotechnologie. Dans la dernière partie de ce chapitre nous avons mis en avant le rôle de cette structure dans le contrôle des effets des canaux courts.

## *Références bibliographiques du Chapitre II*

- [1] Djilani. H.M, Omar. B, "Effet de la température sur le transistor DM GaN MESFET submicronique". Mémoire de master académique, université Echahid Hamma Lakhdar El Oued, 2015.
- [2] Khaouani. M, "Etude et conception d'un transistor nanométrique a grille enrobante GAA MOSFETs". Thèse de doctorat, Université Aboubakr Belkaïd –Tlemcen-, 2018.
- [3] Semiconductor Industry Association, The international roadmap for semiconductors, 2004.
- [4] Bebbamida. Y, "Etude des caractéristiques physiques et électriques d'un MOSFET nanométrique". Mémoire de magister, université Abou-Bakr Belkaïd-Tlemcen, 2012.
- [5] Vivien. L et al, "Experimental demonstration of a low loss optical Htree distribution using silicon-on-insulator microwaveguides". Applied Physics Letters, 2004.
- [6] Allibert. F et al, "From SOI materials to innovative devices". Solid- State Electronics, February 2001.
- [7] Gautier. J, "Physique des dispositifs pour circuits intégrés silicium". Paris, France: Lavoisier, 367p, 2003.
- [8] Skotnicki. T, Hutchby. J.A, King. T.J, Wong. H.S, & Boeuf. F, "The end of CMOS scaling: toward the introduction of new materials and structural changes to improve MOSFET performance". IEEE Circuits and Devices Magazine, 21(1), 16-26, 2005.
- [9] Tang. M, "Études et Modélisation Compacte du Transistor FinFET". Université de Strasbourg Soutenu publiquement le 03 décembre 2009.
- [10] Merad. F, "Conception et simulation des caractéristiques électriques d'un transistor MOSFET nanométrique à conduction latéral de type Tri Gate (FinFET) ", Mémoire de magister, université Abou-Bakr Belkaïd-Tlemcen, 2014.
- [11] Ge. L, Fossum. J.G, "Analytical modeling of quantization and volume inversion in thin Si-film DG MOSFETs". IEEE Transactions on Electron Devices, 49(2), 287-294, 2005.
- [12] Colinge. J.P, "Silicon-on-insulator technology: Materials to VLSI". Kluwer Academic Publishers, Boston, USA, 3rd edition, 2004.
- [13] Saint-Martin. J, "Etude par simulation monte carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI". Thèse de doctorat, U.F.R. Scientifique D'Orsay, France, 2005.
- [14] Comparison study of FinFETs: SOI vs. Bulk, Performance, Manufacturing Variability and Cost, SOI Industry Consortium.

## **CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET**

---

- [15] Fenouillet-Beranger. C, Skotnicki. T, Monfray. S, Carriere. N, & Boeuf. F, "Requirements for ultra-thin-film devices and new materials for the CMOS roadmap". *Solid-State Electronics*, 48(6), 961-967, 2004.
- [16] Bhattacharyya. A.B, "Compact MOSFET models for VLSI design". John Wiley & Sons (Asia) Pte Ltd, ISBN: 978-0-470-82342-2, 2009.
- [17] Tsutsui. G, Saitoh. M, Hiramoto. T, "Experimental study on superior mobility in [110]-oriented UTB SOI pMOSFETs". *IEEE electron device letters*, 26(11), 836-838, 2005.
- [18] Tsutsui. G, Saitoh. M, Nagumo. T, Hiramoto. T, "Impact of SOI thickness fluctuation on threshold voltage variation in ultra-thin body SOI MOSFETs". *IEEE Transactions on nanotechnology*, 4(3), 369-373, 2005.
- [19] Lime. F, Ritzenthaler. R, Ricoma. M, Martinez. F, Pascal. F, Miranda. E, ... & Iñiguez. B, "A physical compact DC drain current model for long-channel undoped ultra-thin body (UTB) SOI and asymmetric double-gate (DG) MOSFETs with independent gate operation". *Solid-state electronics*, 57(1), 61-66, 2011.
- [20] Choi. Y.K, Asano. K, Lindert. N, Subramanian. V, King. T.J, Bokor J, & Hu. C, "Ultra-thin body SOI MOSFET for deep-sub-tenth micron era". *IEEE Electron Device Letters*, vol. 21, pp. 254-255, 2000.
- [21] SMAANI. B, "Etablissement de modèles compacts de transistors MOS multi grilles nanométriques en vue de leur application pour la conception de circuits". Thèse de doctorat, université de Constantine, 2015.
- [22] J P. Colinge, "FinFETs and Other Multi-Gate Transistors: Technology to Circuit". Springer and Business Media, ISBN 978-0-387-71751-7, 2008.
- [23] Balestra. F, Cristoloveanu. S, Benachir. M, Brini. J, & Elewa. T, "Double-gate silicon-on-insulator transistor with volume inversion: A new device with greatly enhanced performance". *IEEE Electron Device Letters*, 8(9), 410-412, 1987.
- [24] Shenoy. R.S, "Technology and Scaling of Ultrathin body double-gate FETs". Thèse de doctorat, université Stanford, 2004.
- [25] Srivastava. V.M, Singh. G, "MOSFET technologies for double-pole four-throw radio-frequency switch". Springer International Publishing, (pp. 45-47), 2014.
- [26] Nazarov .A, Colinge .J.P, Balestra .F, Raskin. J.P, Gamiz. F, & Lysenko. V.S, "Semiconductor-on-insulator materials for nanoelectronics applications". Springer and Verlag Berlin Heidelberg, ISBN 978-3-642-15867-4, 2011.

## **CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET**

---

- [27] Hisamoto. D, Lee. W.C, Kedzierski. J, Takeuchi. H, Asano. K, Kuo. C, ... & Hu. C, "FinFET-a self-aligned double-gate MOSFET scalable to 20 nm". IEEE transactions on electron devices, 47(12), 2320-2325, 2000.
- [28] Kedzierski. J, Jeong. M, Nowak. E, Kanarsky. T. S, Zhang. Y, Roy. R, ... & Wong. H.S, "Extension and source/drain design for high-performance FinFET devices". IEEE Transactions on Electron Devices, 50(4), 952-958, 2003.
- [29] Yang. J.W, Fossum. J.G, "On the feasibility of nanoscale triple-gate CMOS transistors". IEEE Transactions on Electron Devices, 52(6), 1159-1164, 2005.
- [30] Crupi. F, Kaczer. B, Degraeve. R, Subramanian. V, Srinivasan. P, Simoen. E, ... & Groeseneken. G, "Reliability comparison of triple-gate versus planar SOI FETs". IEEE Transactions on electron devices, 53(9), 2351-2357, 2006.
- [31] INTEL web site <<http://www.intel.com/content/www/us/en/siliconinnovations/intel-22nm-technology.html?wapkw=tri-gate+22nm>>.
- [32] Chiang. M.H, Lin J.N, Kim. K, Chuang. C.T, "Optimal design of triple-gate devices for high-performance and low-power applications". IEEE transactions on electron devices, 55(9), 2423-2428, 2008.
- [33] Park. J.T, Colinge J.P, "Multiple-gate SOI MOSFETs: device design guidelines". IEEE transactions on electron devices, 49(12), 2222-2229, 2002.
- [34] Ritzenthaler. R, Dupré. C, Mescot. X, Faynot. O, Ernst. T, Barbe. J.C, ... & Cristoloveanu. S, "Mobility behavior in narrow  $\Omega$ -gateFETs devices". In 2006 IEEE international SOI Conference Proceedings (pp. 77-78), 2006.
- [35] Chebaki. E, "Modélisation neuronale du transistor GAA MOSFET nanométrique". Mémoire de Magister, université de Batna, 2010.
- [36] Colinge. J.P, "Silicon-on-insulator technology: Materials to VLSI". Springer Science+Business Media New York, 2nd edition, 1997.
- [37] Rhew. J.H, Ren. Z, Lundstrom M.S, "A numerical study of ballistic transport in a nanoscale MOSFET". Solid-State Electronics, 46(11), 1899-1906, 2002.
- [38] Mouis. M, Poncet. A, "Coupling between 2D and quantum confinement effects in ultra-short channel double-gate MOSFETs". In 31st European Solid-State Device Research Conference (pp. 211-214). IEEE, 2001.
- [39] Intel News room online, Available: <http://newsroom.intel.com/docs/DOC-2032>.

## **CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET**

---

- [40] Fu. J, Singh. N, Buddharaju. K.D, Teo. S.H.G, Shen. C, Jiang. Y, ... & Kwong. D.L, "Si-nanowire based gate-all-around nonvolatile SONOS memory cell". *IEEE Electron Device Letters*, 29(5), 518-521, 2008.
- [41] He. R, Gao. D, Fan. R, Hochbaum. R, Carraro. C, Maboudian. R, and Yang. P, "Si nanowire bridges in microtrenches: Integration of growth into device fabrication". *Advanced Materials*, 17(17), 2098-2102, 2005.
- [42] Singh. N, Lim. F.Y, Fang. W.W, Rustagi. S.C, Bera. L.K, Agarwal. A, ... & Adeyeye. A. O, "Ultra-narrow silicon nanowire gate-all-around CMOS devices: Impact of diameter, channel-orientation and low temperature on device performance". In 2006 International Electron Devices Meeting (pp. 1-4). IEEE, December 2006.
- [43] Mayer. D.C, MacWilliams. K.P, "Silicon-on-insulator gate-all-around mosfet devices and fabrication methods". Mar. 5 1996. US Patent 5,497,019.
- [44] Sharma. D, Vishvakarma. S. K, "Analytical modeling for 3D potential distribution of rectangular gate (RecG) gate-all-around (GAA) MOSFET in subthreshold and strong inversion regions". *Microelectronics Journal*, 43(6), 358-363, 2012.
- [45] Roldan. J.B, Godoy. A, Gamiz. F, Balaguer. M, "Modeling the centroid and the inversion charge in cylindrical surrounding gate MOSFETs, including quantum effects". *IEEE transactions on electron devices*, 55(1), 411-416, 2008.
- [46] Li. Y, Huang. J.Y, Lee. B.S, Hwang. C.H, "Effect of single grain boundary position on surrounding-gate polysilicon thin film transistors". In 2007 7th IEEE Conference on Nanotechnology (IEEE NANO) (pp. 1148-1151). IEEE, 2007.
- [47] Pott. V, "Gate-All-Around Silicon Nanowires for Hybrid Single Electron Transistor/CMOS Applications". Thèse de Doctorat, Ecole Polytechnique Fédérale De Lausanne, France, 2008.
- [48] Needs. R.J, Read. A.J, Nash. K.J, Bhattacharjee. S, Qteish. A, Canham. L.T, & Calcott, P.D.J, "A first-principles study of the electronic properties of silicon quantum wires". *Physica A: Statistical Mechanics and its Applications*, 207(1-3), 411-419, 1994.
- [49] Shen. M.Y, Zhang. S.L, "Band gap of a silicon quantum wire". *Physics Letters A*, 176(3-4), 254-258, 1993.
- [50] Colinge. J.P, Gao. M.H, Romano-Rodriguez. A, Maes. H and Claeys. C, "Silicon-on-insulator gate-allaround device". *Technical Digest of IEDM*, pp. 595-598, San Francisco CA, 1990.

## **CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET**

---

- [51] Leobandung. E, Gu. J, Guo. L, Chou. S.Y, "Wire-channel and wrap-around-gate metal-oxide-semiconductor field-effect transistors with a significant reduction of short channel effects". *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, 15(6), 2791-2794, 1997.
- [52] Song. J.Y, Choi. W.Y, Park. J.H, Lee. J.D, Park. B.G, "Design optimization of gate-all-around (GAA) MOSFETs". *IEEE Transactions on Nanotechnology*, 5(3), 186-191, 2006.
- [53] Suk. S.D, Lee. S.Y, Kim. S.M, Yoon. E.J, Kim. M.S, Li. M, ... & Lee. K.H, "High performance 5nm radius Twin Silicon Nanowire MOSFET (TSNWFET): fabrication on bulk si wafer, characteristics, and reliability". In *IEEE International Electron Devices Meeting, 2005. IEDM Technical Digest*. (pp. 717-720). IEEE, December 2005.
- [54] Singh. N, Agarwal. A, Bera. L.K, Liow. T.Y, Yang. R, Rustagi. S.C, ... & Kwong. D.L, "High-Performance Fully Depleted Silicon Nanowire (Diameter  $\leq 5$  nm) Gate-All-Around CMOS Devices". *IEEE Electron Device Letters*, 27(5), 383-386, 2006.
- [55] Li. C, Zhuang. Y, Di. S, Han. R, "Subthreshold behavior models for nanoscale short-channel junctionless cylindrical surrounding-gate MOSFETs". *IEEE transactions on electron devices*, 60(11), 3655-3662, 2013.
- [56] Liang. G, "Structure Effects in the gate-all-around Silicon Nanowire MOSFETs". In *2007 IEEE Conference on Electron Devices and Solid-State Circuits* (pp. 129-132). IEEE, December 2007.
- [57] Moreno. E, Roldan. J.B, Ruiz. F.G, Barrera. D, Godoy. A, Gámiz. F, "An analytical model for square GAA MOSFETs including quantum effects". *Solid-state electronics*, 54(11), 1463-1469, 2010.
- [58] Pott. V, Moselund. K.E, Bouvet. D, De Michielis. L, Ionescu. A.M, "Fabrication and characterization of gate-all-around silicon nanowires on bulk silicon". *IEEE transactions on nanotechnology*, 7(6), 733-744, 2008.
- [59] Moselund. K.E, Bouvet. D, Tschuor. L, Pott.V, Dainesi. P, Ionescu. A.M, "Local volume inversion and corner effects in triangular gate-all-around MOSFETs". In *2006 European Solid-State Device Research Conference* (pp. 359-362). IEEE, September 2006.
- [60] Moselund, K. E, "Three-Dimensional Electronic Devices Fabricated on a Top-Down Silicon Nanowire Platform". *Thèse de Doctorat, Ecole Polytechnique Fédérale De Lausanne, France*, 2008.

## **CHAPITRE II : LES STRUCTURES EMERGENTES DU TRANSISTOR MOSFET**

---

- [61] Iniguez. B, Jimenez. D, Roig. J, Hamid. H.A, Marsal. L.F, Pallarès. J, "Explicit continuous model for long-channel undoped surrounding gate MOSFETs". IEEE Transactions on Electron Devices, 52(8), 1868-1873, 2005.
- [62] Jiménez. D, Iniguez. B, Sune. J, Marsal. L.F, Pallares. J, Roig. J, Flores. D, "Continuous analytic IV model for surrounding-gate MOSFETs". IEEE Electron Device Letters, 25(8), 571-573, 2004.
- [63] He. J, Bian. W, Tao. Y, Yang. S, Tang. X, "Analytic carrier-based charge and capacitance model for long-channel undoped surrounding-gate MOSFETs". IEEE transactions on electron devices, 54(6), 1478-1485, 2007.
- [64] Yu. B, Lu. W.Y, Lu. H, Taur. Y, "Analytic charge model for surrounding-gate MOSFETs". IEEE Transactions on Electron Devices, 54(3), 492-496, 2007.
- [65] Lee. C.W, Borne. A, Ferain. I, Afzalian. A, Yan. R, Akhavan. N.D, ... & Colinge. J.P, "High-temperature performance of silicon junctionless MOSFETs". IEEE transactions on electron devices, 57(3), 620-625, 2010.
- [66] Colinge. J.P, Lee. C.W, Afzalian. A, Akhavan. N.D, Yan. R, Ferain. I, ... & Kelleher. A. M, "Nanowire transistors without junctions". Nature nanotechnology, 5(3), 225, 2010.
- [67] Lee. C.W, Afzalian. A, Akhavan. N.D, Yan. R, Ferain. I, & Colinge. J.P, "Junctionless multigate field-effect transistor". Applied Physics Letters, 94(5), 053511, 2009.
- [68] Sallese. J.M, Chevillon. N, Lallement. C, Iniguez. B, Prégaldiny. F, "Charge-based modeling of junctionless double-gate field-effect transistors". IEEE Transactions on Electron Devices, 58(8), 2628-2637, 2011.
- [69] Wang. T, Lou. L, Lee. C A, "junctionless gate-all-around silicon nanowire FET of high linearity and its potential applications". IEEE electron device letters, 34(4), 478-480, 2013.
- [70] Cong. L, Yi-Qi. Z, Li. Z, Gang. J, "A two-dimensional analytical subthreshold behavior model for junctionless dual-material cylindrical surrounding-gate MOSFETs". Chinese Physics B, 23(3), 038502, 2014.
- [71] Gupta S.K, Baishya. S, "Analog and RF performance evaluation of a novel junctionless triple metal cylindrical surround gate (JLTM CSG) MOSFET". In 2013 Annual IEEE India Conference (INDICON) (pp. 1-4). IEEE, December 2013.
- [72] Li. C, Zhuang. Y, Han. R, Jin. G, "Subthreshold behavior models for short-channel junctionless tri-material cylindrical surrounding-gate MOSFET". Microelectronics Reliability, 54(6-7), 1274-1281, 2014.

**Chapitre III:  
Modélisation  
analytique d'un  
transistor JLTMCSG-  
MOSFET**

## **Modélisation analytique d'un transistor JLTMCSG-MOSFET**

### **III.1 Introduction**

L'étude du transport électronique est devenue l'un des enjeux majeurs des futures générations de composants MOSFETs. Une description physique des phénomènes de transport nécessite forcément la connaissance des lois régissant le comportement des porteurs dans la structure MOS. Cela signifie savoir établir un modèle mathématique convenable et connaître les paramètres physiques de base du modèle. Le sujet est largement étudié dans la littérature et il est appréhendé selon diverses approches.

La simulation fournit un lien entre le monde expérimental et le monde théorique, et aide à construire la réalité physique en présence de certaines contraintes ou la présence d'une analyse mathématique impossible. La première étape dans la simulation consiste à modéliser un phénomène physique.

Un modèle d'un composant physique est une entité mathématique possédant la précision des lois qui relient ses différentes variables.

Un modèle mathématique est toujours distinct par rapport à un composant physique, bien que son comportement soit similaire à celui du composant, donc le modèle n'est pas équivalent mais seulement présente une approximation.

Le rôle principal de la simulation est de faire baisser le nombre des étapes d'itérations nécessaires pour la fabrication du composant avec certaines propriétés désirées.

Afin de modéliser le comportement électrique des transistors JLTMCSG-MOSFET, nous avons jugé nécessaire de présenter le matériau de base pour la fabrication des transistors MOSFETs en l'occurrence le silicium et son oxyde (la silice). En plus des propriétés physiques nous avons présenté les paramètres essentiels dans la structure métal semi-conducteur tels que le travail de sortie du métal, l'affinité électronique du semi-conducteur et la barrière de potentiel.

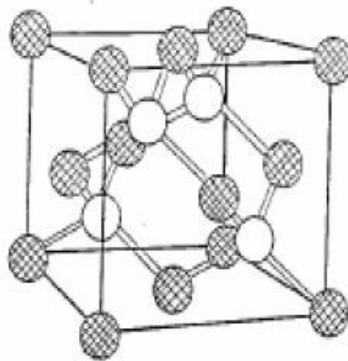
Dans une seconde étape, nous avons présenté les structures utilisées pour la simulation ainsi les équations du modèle analytique utilisée, modèle basé sur la solution exacte de l'équation de Poisson à deux dimensions (2D) en coordonnées cylindriques, qui nous a permis de calculer le potentiel de surface, le courant de drain et la tension de seuil.

Cette présentation est très importante, car le modèle analytique proposé peut être utilisé dans une large gamme de température, et les travaux de simulations obtenus jusqu'à présent sont comparables à ceux de la littérature.

## **III.2 Matériaux utilisés dans les MOSFETs**

### **III.2.1 Le silicium « matériau de base » [1]**

Le silicium est l'un des éléments essentiels dans la technologie de l'électronique, qui utilise actuellement du silicium pur à plus de 99,99% obtenu à partir des méthodes de croissance telles que: le tirage Czochralski ou la zone fondue flottante, entre autres. De plus, il est aujourd'hui possible de fabriquer des monocristaux parfaits de silicium d'un volume de l'ordre du  $m^3$ . Le silicium ainsi que les autres éléments de la colonne IV du tableau périodique (C, Ge) forment des cristaux covalents. Ces éléments génèrent des liaisons covalentes, avec leurs quatre atomes voisins, en mettant en commun leurs quatre électrons de valence. Les électrons de valence dans le cas du diamant ont une énergie de liaison importante, ce qui confère au diamant sa propriété d'isolant (ou plutôt de semi-conducteur à large bande interdite). Cette énergie est nulle dans le cas de l'étain, ce qui en fait un bon conducteur. Dans le cas du silicium, cette énergie a une valeur intermédiaire à température ambiante, faisant de lui un semi-conducteur permettant des applications intéressantes. Le réseau cristallin du (Si) est celui du diamant (figure III.1). Il cristallise selon la maille diamant constituée de la superposition de deux sous réseaux cubiques à faces centrées décalés d'un quart de diagonale principale. Le paramètre de maille du silicium est de 5,43 Å.



**Fig. III.1** Structure de la maille du silicium.

## CHAPITRE III: MODELISATION ANALYTIQUE D'UN TRANSISTOR JLTMCSG-MOSFET

### III.2.2 Propriétés physiques du silicium

**Tableau III.1** Propriétés physiques du silicium [1].

Paramètres	Symboles	Valeur
Energie de la bande interdite	$E_g$ [eV]	1.124 à 300 K
Constante du réseau cristallin	$\alpha_0$ [nm]	0.543095
Nombre de vallées équivalentes	N	6
Masse effective des électrons, direction longitudinale	$m_{n,l}^*/m_0$	0.9163
Masse effective des électrons, direction transverse	$m_{n,t}^*/m_0$	0.1905
Masse effective de densités d'états de la bande de conduction (calcul de densité d'états)	$m_{c,doc}^*/m_0$	1.0618
Masse effective de densités d'états de la bande de conduction (calcul de conductivité)	$m_{c,cond}^*/m_0$	0.260
Masse effective des trous lourds	$m_{p,h}^*/m_0$	0.537
Masse effective des trous légers	$m_{p,l}^*/m_0$	0.153
Masse effective de densités d'états de la bande de valence	$m_v^*/m_0$	0.590
Mobilité des électrons	$\mu_n$ [cm <sup>2</sup> /Vs]	1450
Mobilité des trous	$\mu_p$ [cm <sup>2</sup> /Vs]	370

### III.2.3 La silice

Pour la plupart des dispositifs étudiés, l'oxyde de grille a été obtenu par oxydation thermique du silicium. C'est la technique la plus couramment utilisée depuis les années 50, car c'est elle qui donne les oxydes de meilleure qualité, même si d'autres procédés tels que le dépôt chimique en phase vapeur (CVD) permettent aujourd'hui d'obtenir des oxydes de qualités équivalentes. La silice

# CHAPITRE III: MODELISATION ANALYTIQUE D'UN TRANSISTOR JLTMCSG-MOSFET

peut se trouver sous trois formes allotropiques (même composition chimique, mais arrangements atomiques différents): cristalline (ordre cristallographique à longue distance), vitreuse (ordre à courte distance) et amorphe (absence d'ordre) [2]. La structure obtenue par oxydation thermique est la silice vitreuse. Elle est amorphe dans le cas d'un mauvais contrôle de la croissance de l'oxyde. L'unité structurale de base de la silice est un atome de silicium entouré de quatre atomes d'oxygène constituant les sommets d'un tétraèdre (figure III.2). La silice est constituée d'un arrangement de tétraèdres  $\text{SiO}_4$  reliés entre eux par l'intermédiaire des sommets oxygènes. Ces tétraèdres sont caractérisés par la distance atomique Si-O (de 1,6 à 1,63 Å), et par la valeur de l'angle  $\theta$  entre les liaisons O-Si-O ( $\theta$  varie de  $110^\circ$  à  $180^\circ$ , avec une valeur moyenne de  $144^\circ$  pour la silice amorphe [2]).

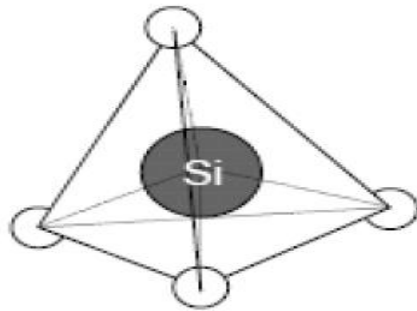


Fig.III.2 Motif de base de la silice.

## III.2.4 Propriétés électriques du $\text{SiO}_2$

### III.2.4.1 Diagramme de bandes

Un diagramme de bandes représente les états d'énergie permis des électrons. La théorie des bandes repose sur celles des orbitales atomiques. Le diagramme de bandes de Si- $\text{SiO}_2$  est représenté sur la figure ci-après :

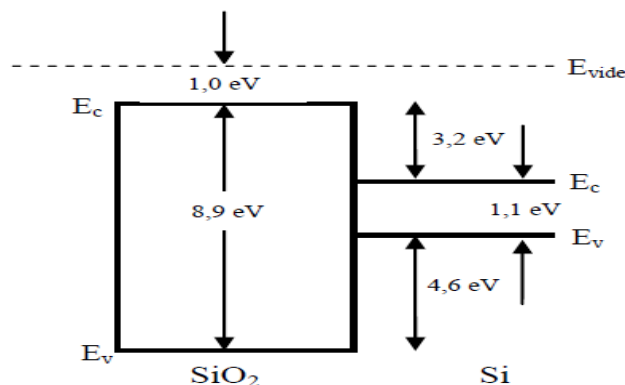


Fig.III.3 Diagramme de bandes du Si- $\text{SiO}_2$  [2].

## CHAPITRE III: MODELISATION ANALYTIQUE D'UN TRANSISTOR JLTMCSG-MOSFET

A partir de ce diagramme on constate que la largeur de la bande interdite de l'oxyde est relativement importante (environ 8,8 eV contre 5,1 eV pour le nitrure de silicium  $\text{Si}_3\text{N}_4$ , par exemple), ce qui est à l'origine du caractère isolant du  $\text{SiO}_2$ . Les valeurs des hauteurs de barrière vues par les porteurs sont élevées: 3,2 eV pour les électrons et 4,6 eV pour les trous. L'oxyde est donc assez bien protégé contre les injections de porteurs, en particulier celle des trous.

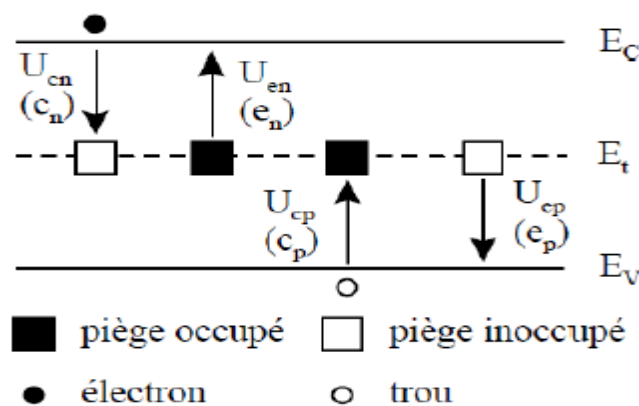
### III.2.4.2 Propriétés électriques de l'oxyde

La résistivité élevée de l'oxyde (de l'ordre de  $10^{15}$  à  $10^{16}\Omega\cdot\text{cm}$ ), confirme sa propriété d'isolant électrique. A température ambiante, les valeurs de la conductivité et de la diffusivité thermique, sont assez faibles (respectivement  $0,014 \text{ Wcm}^{-1}\text{°C}$  et  $0,006 \text{ cm}^2\text{s}^{-1}$ ). La mobilité des porteurs dans le  $\text{SiO}_2$  à la température ambiante, est de  $10$  à  $20 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  pour les électrons et de l'ordre de  $10^{-5}\text{cm}^2\text{V}^{-1}\text{s}^{-1}$  pour les trous. Ces valeurs sont très nettement inférieures à celles généralement rencontrées dans le silicium cristallin (typiquement  $1400 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  pour les électrons, et  $400 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  pour les trous). L'oxyde présente cependant une constante diélectrique relativement faible ( $3,9\epsilon_0$ ) par rapport à celle du  $\text{Si}_3\text{N}_4$  ( $7\epsilon_0$ ) [2].

### III.2.5 Les pièges de charges

#### III.2.5.1 Les défauts dans le système Si/SiO<sub>2</sub> [3]

Les défauts cristallins présents dans le  $\text{SiO}_2$  introduisent dans la bande interdite des pièges à un niveau énergétique noté  $E_t$ . Ils peuvent émettre et capturer des porteurs libres selon les taux de capture et d'émission  $U_c$  et  $U_e$  accompagnés des indices n et p pour les électrons et les trous (Fig.III.4).

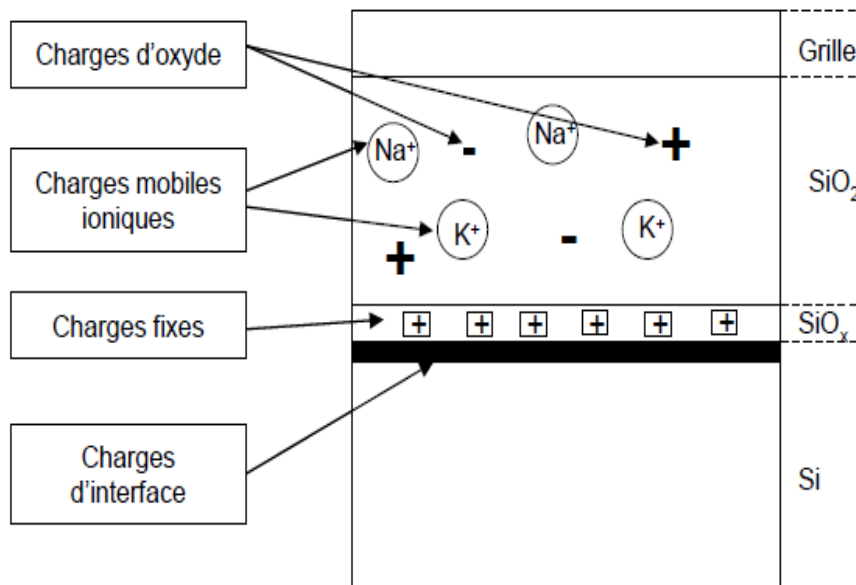


**Fig.III.4** Diagramme de bandes du semi-conducteur faisant apparaître des pièges au niveau d'énergie  $E_t$  ainsi que les taux de capture et d'émission des porteurs libres [3].

### III.2.5.2 Classification des défauts

Les défauts ont été classés en fonction de leur profondeur physique dans l'oxyde en 1979, par un comité établi par l'« Electronics Division of the Electrochemical Society » et l'« IEEE Semi-conductor Interface Specialists Conference » [4], selon quatre appellations:

- ✓ **Les charges mobiles ioniques:** ces charges se situent dans tout l'oxyde car elles peuvent migrer sous l'effet de la température. Elles sont dues à la contamination de l'oxyde par des impuretés ioniques (telles que les métaux alcalins  $\text{Li}^+$ ,  $\text{Na}^+$ ,  $\text{K}^+$ ...);
- ✓ **Les charges d'oxyde:** elles se trouvent dans les pièges de l'oxyde après injection de porteurs énergétiques du canal par exemple, et peuvent être positives ou négatives. Le phénomène est facilement réversible sous l'effet de la température ou l'action d'un champ électrique. Nous parlons ainsi de piégeage/dé-piégeage, mais les charges ne sont pas en contact direct avec le substrat.
- ✓ **Les charges fixes:** ce sont des charges positives localisées près de l'interface. Elles ont pour origine les défauts intrinsèques du silicium induits par oxydation. Elles dépendent donc des paramètres du procédé d'oxydation et de l'orientation du silicium.
- ✓ **Les charges d'interface:** ce sont les charges les plus proches du silicium. Le piège d'interface est de type donneur si son énergie est située dans la moitié inférieure de la bande interdite et de type accepteur dans le cas contraire.

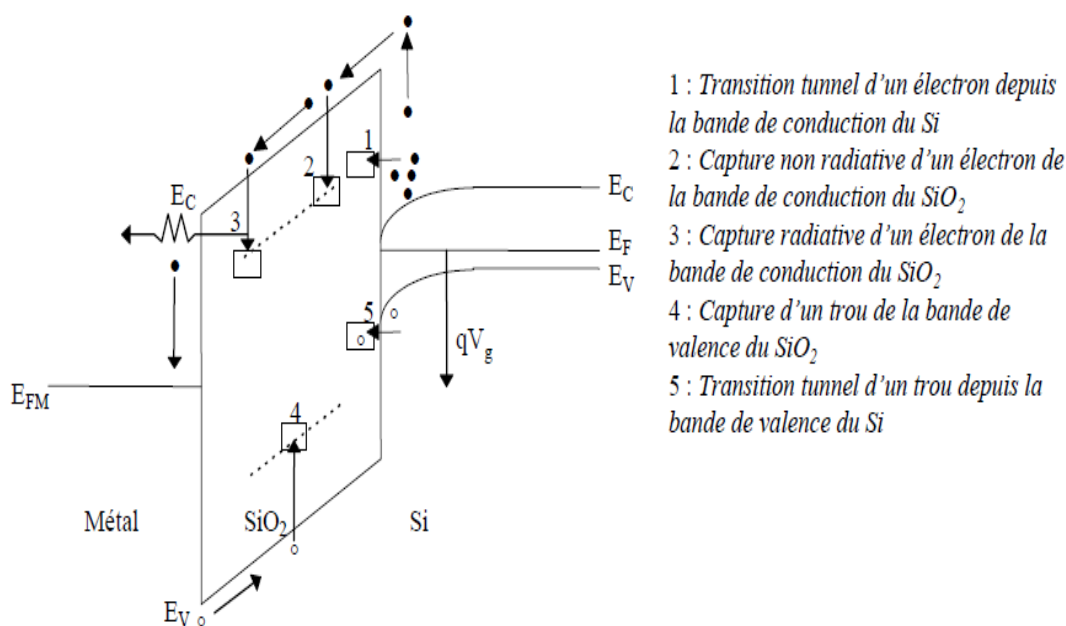


**Fig.III.5** Représentation des défauts dans l'oxyde de grille et à l'interface Si/SiO<sub>2</sub> [3].

### III.2.5.3 Notion de piège [2]

Les défauts qui introduisent des niveaux d'énergie à l'intérieur de la bande interdite de l'oxyde sont électriquement actifs, car assimilables à des puits de potentiel capables de capturer des porteurs. Un défaut peut se comporter comme un lieu de piégeage s'il capture un porteur de la bande de conduction (ou de valence) et le réémet ensuite vers cette même bande, ou comme un lieu de recombinaison s'il peut échanger des porteurs avec les bandes de conduction et de valence. Les différents mécanismes de piégeage possibles sont illustrés sur la figure III.6.

Selon l'état de sa charge, un piège peut être accepteur ou donneur. Dans le premier cas il est chargé négativement s'il est occupé par un électron et neutre s'il est vide. Dans le second cas il est neutre s'il est occupé par un trou et chargé positivement s'il est vide.



**Fig.III.6** Illustration des différents mécanismes de piégeage [2].

### III.3 Structure métal-semi-conducteur

La structure métal-semi-conducteur est le dispositif unipolaire le plus simple à base d'un grand nombre de structures plus complexes. Les structures métal-semi-conducteur sont particulièrement bien adaptées à la technologie des composants hyperfréquences. Elles sont souvent réalisées en ouvrant une fenêtre et en déposant sous vide un film métallique qui entre en contact intime avec le semi-conducteur [5].

# CHAPITRE III: MODELISATION ANALYTIQUE D'UN TRANSISTOR JLTMCSG-MOSFET

Pour étudier la jonction métal-semi-conducteur, il faut connaître deux paramètres essentiels [5]:

1. le travail de sortie du métal:  $q\Phi_m$ .
2. l'affinité électronique du semi-conducteur:  $e\chi_m$ .

### III.3.1 Travail de sortie du métal

Dans le métal, l'électron de conduction est soumis à un ensemble de forces d'interaction dont la résultante est nulle. Il en résulte que cet électron est libre de se déplacer, sous l'action d'un champ appliqué par exemple. Quand l'électron atteint la surface du métal, la compensation des forces d'interaction entre-elles n'est plus totale, l'électron est retenu à l'intérieur du métal. Pour extraire cet électron, il faut lui fournir de l'énergie.

Au zéro degré absolu, tous les électrons libres sont situés dans la bande de conduction au-dessous du niveau de Fermi. Il en résulte que l'énergie minimum qu'il faut fournir pour extraire un électron du métal, est l'énergie nécessaire à l'extraction d'un électron du niveau de Fermi pour l'amener au niveau du vide  $N_V$ . Cette quantité est appelée travail de sortie du métal et est notée  $q\Phi_m$  [6].

Le travail de sortie d'un métal (Fig.III.7) est donc donné par l'expression suivante:

$$q\Phi_m = N_V - E_F$$

On note que  $q\Phi_m$ : est une constante physique du métal considéré.

$N_V$  est l'énergie d'un électron extrait du corps et sans vitesse initiale. C'est l'énergie potentielle de l'électron dans le vide au voisinage du corps étudié.

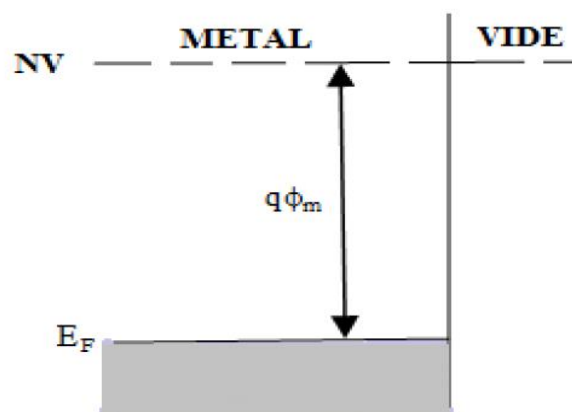


Fig.III.7 Travail de Sortie d'un métal [6].

Le travail de sortie des métaux peut varier de 2 eV à 6 eV. Toutefois, les métaux les plus utilisables dans la fabrication des composants électroniques ont une gamme beaucoup plus restreinte qui

## CHAPITRE III: MODELISATION ANALYTIQUE D'UN TRANSISTOR JLTMCSG-MOSFET

s'étende de 4,3 eV à 5,7 eV. Le tableau III.2 donne le travail de sortie de certains métaux utilisés en microélectronique ou optoélectronique.

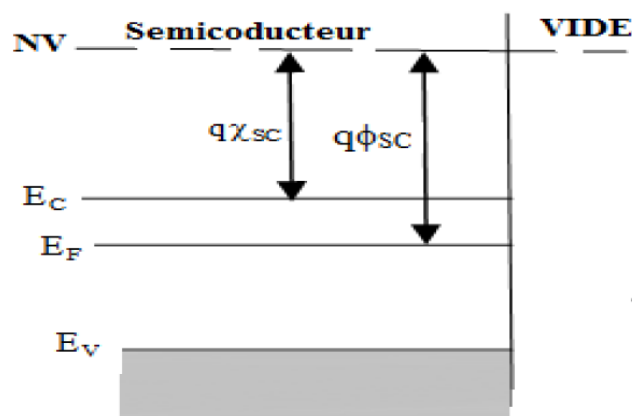
**Tableau III.2** Travaux de sortie de quelques métaux [5].

Métal	Cr	Ni	Al	Ag	Au	Cu	Pt	Fe
$q\Phi_m$ (eV)	4.6	4.4	4.3	4.3	4.8	4.4	5.3	4.7

### III.3.2 Affinité électronique du semi-conducteur

Dans les semi-conducteurs et les isolants, le travail de sortie  $SC$   $q\Phi_{SC}$  est défini de la même manière. Cependant, pour les semi-conducteurs, la position du niveau de Fermi dépend du dopage et le  $SC$   $q\Phi_{SC}$  n'est pas une constante physique du matériau. Sauf pour les semi-conducteurs dégénérés, il n'y a pas d'électron au niveau de Fermi. On définit alors l'affinité  $SC$   $q\chi_{sc}$  électronique comme l'énergie qu'il faut fournir à un électron situé au bas de la bande de conduction pour l'amener au niveau du vide. Cette grandeur est une constante physique du semi-conducteur, et est donnée par l'expression [6]:

$$q\chi_{sc} = N_V - E_C$$



**Fig.III.8** L'affinité électronique [6].

Cette grandeur physique est une constante du semi-conducteur. Le tableau suivant indique l'affinité électronique de quelques semi-conducteurs.

## CHAPITRE III: MODELISATION ANALYTIQUE D'UN TRANSISTOR JLTMCSG-MOSFET

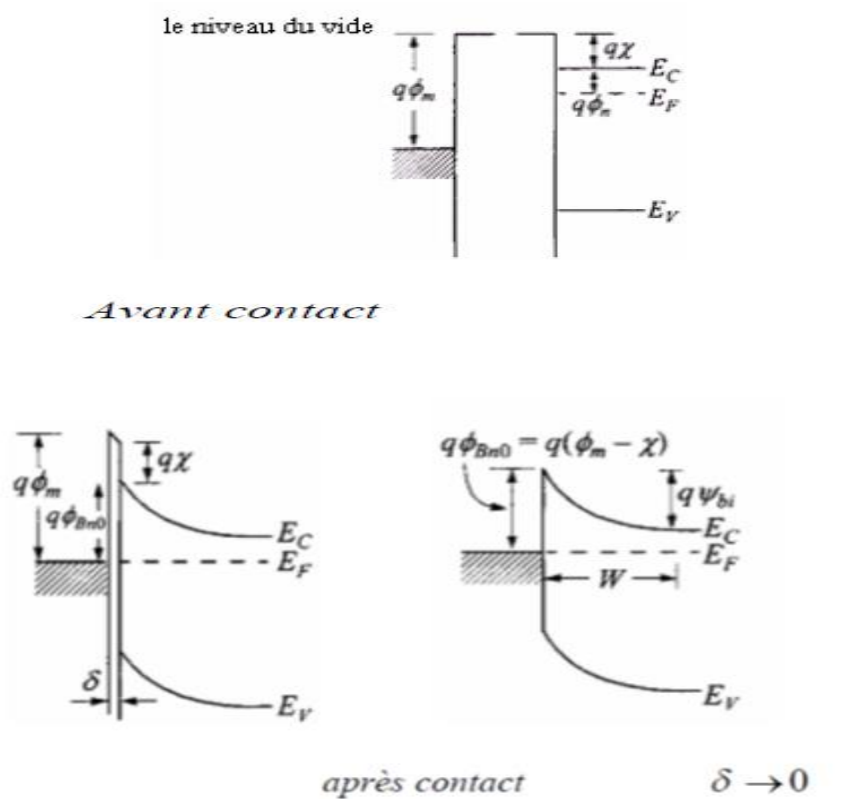
**Tableau III.3** Affinité électronique de quelques semi-conducteurs [5].

SC	Si	Ge	GaP	InP	CdTe	GaAs
$q\chi_{sc}$ (e.V)	4.01	4.13	4.30	4.38	4.22	4.07
$q\Phi_{sc}$ (eV)	5.13	4.49	6.55	5.65	5.72	5.50

### III.3.3 Barrière de potentiel

Supposons que le métal et le SC sont séparés par un intervalle très faible  $\sigma$  voisin de la distance interatomique, comme le montre la figure III.9. A la température ambiante l'électron aura une certaine énergie d'origine thermique lui permettant de quitter la surface du métal vers le SC. Il en résulte que la barrière de potentiel que doit franchir l'électron pour passer du métal vers le SC sera donnée par [7]:

$$E_{bn} = q\Phi_{Bn0} = q\phi_m - q\chi$$



**Fig.III.9** Contact métal/Sc avant et après contact [7].

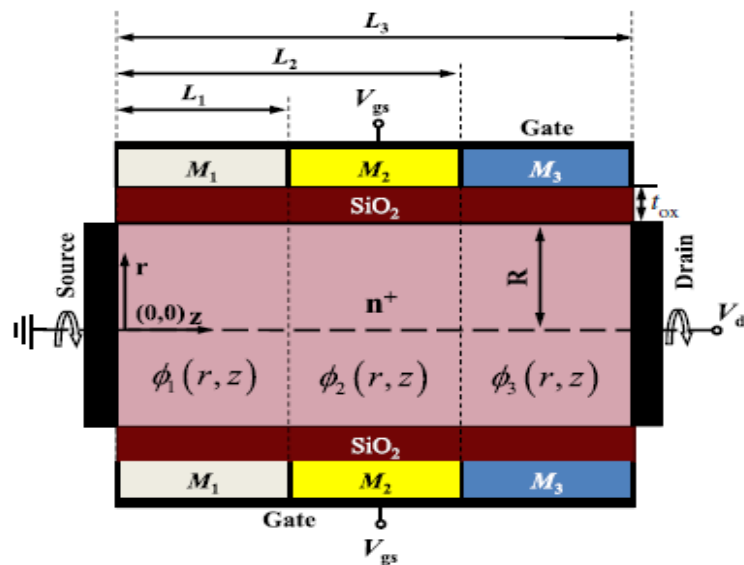
### III.4 Présentation des structures utilisées

#### III.4.1 La structure JLTMCS MOSFET

La figure III.10 montre la coupe transversale d'une structure utilisée pour la modélisation et la simulation. Le MOSFET JLTMCSG se compose de trois métaux de grilles avec différents travaux de sorties:  $\Phi M_1 = 4,7$  eV,  $\Phi M_2 = 4,4$  eV et  $\Phi M_3 = 4,4$  eV. La région du canal est divisée en trois parties.

En raison de la symétrie cylindrique de la structure du dispositif, nous avons utilisé le système de coordonnées cylindriques, avec une direction radiale ( $r$ ) et d'une direction horizontale ( $z$ ). La symétrie de la structure assure que le potentiel et le champ électrique ne subissent aucune variation dans le plan de la direction radiale, une analyse 2D est donc suffisante.

Nous supposons que l'épaisseur de la région source / drain est nulle et que le contact source / drain est situé le long du côté gauche / droit du canal de silicium fortement dopé. Tous les calculs ont été effectués à la température ambiante.



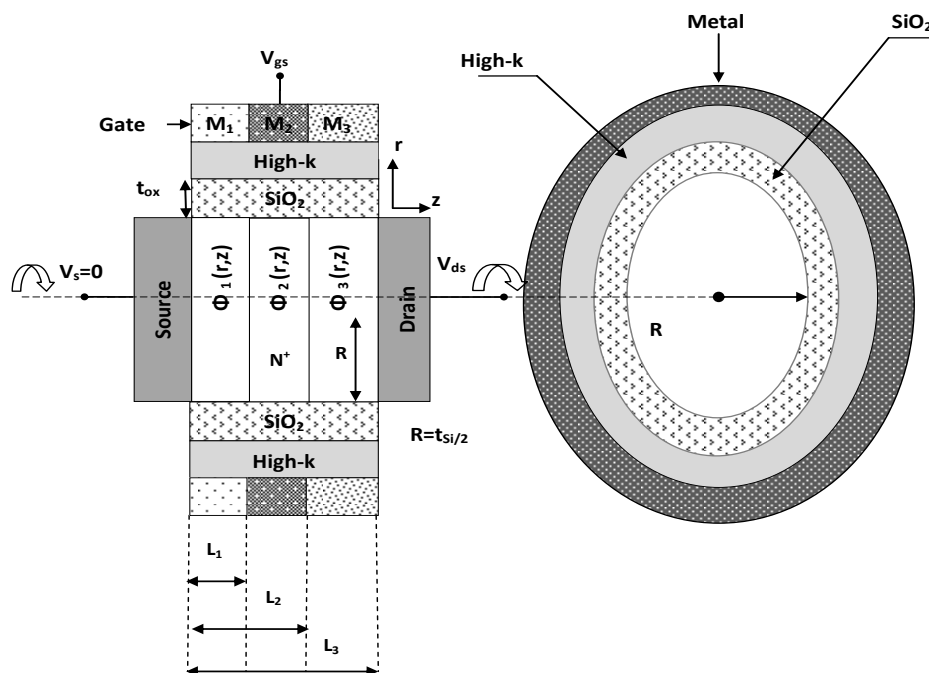
**Fig.III.10** Vue en coupe de la structure JLTMCS MOSFET [8].

#### III.4.2 Structure du JLTMCS MOSFET avec un diélectrique à k élevé

Un diélectrique high-k (high-k dielectric) est un matériau avec une constante diélectrique  $k$  élevée (comparée à celle du dioxyde de silicium). Nous utilisons à la fois le  $\text{SiO}_2$  et le  $\text{TiO}_2$  à  $k$  élevé ( $k = 80$ ) en tant qu'oxyde diélectrique à grille  $k$  élevée [9, 10]. Pour éviter la dispersion de la

## CHAPITRE III: MODELISATION ANALYTIQUE D'UN TRANSISTOR JLTMCSG-MOSFET

surface en raison de l'utilisation de diélectrique à  $k$  élevé comme oxyde de grille, le  $\text{SiO}_2$  est déposé près de la région de silicium avec une épaisseur de  $\text{SiO}_2$  de  $t_{\text{SiO}_2} = 1\text{nm}$  et une épaisseur à  $k$  élevé. La figure III.11 présente une vue en coupe transversale d'un MOSFET JLTMCSG avec un diélectrique à  $k$  élevé. Le MOSFET JLTMCSG consiste en trois portes, constituées de trois matériaux différents ( $M_1$ ,  $M_2$  et  $M_3$ ) ayant pour travaux de sortie:  $\Phi_{M_1} = 4,7\text{ eV}$ ,  $\Phi_{M_2} = 4,4\text{ eV}$  et  $\Phi_{M_3} = 4,4\text{ eV}$ . De plus, la région de canal peut être constituée par trois parties de longueur ( $L_1: L_2: L_3 = 1: 2: 3$ ).



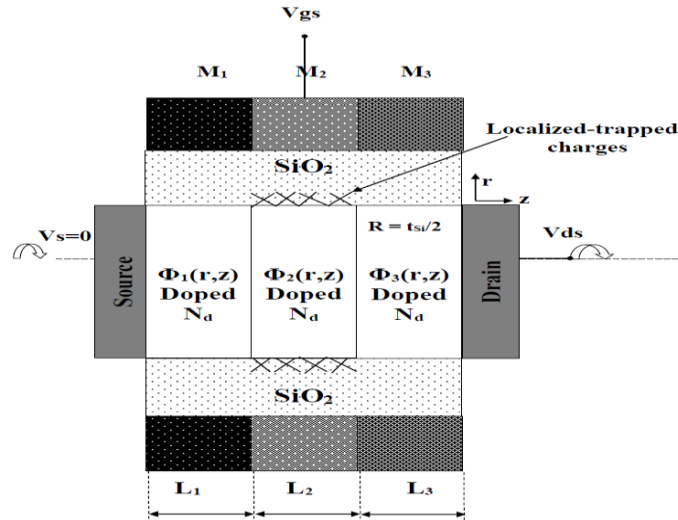
**Fig.III.11** Coupe transversal de la structure JLTMCSG-MOSFET avec un diélectrique à  $k$  élevé.

### III.4.3 Structure du JLTMCS MOSFET pour l'étude de l'effet des pièges des charges sur l'interface

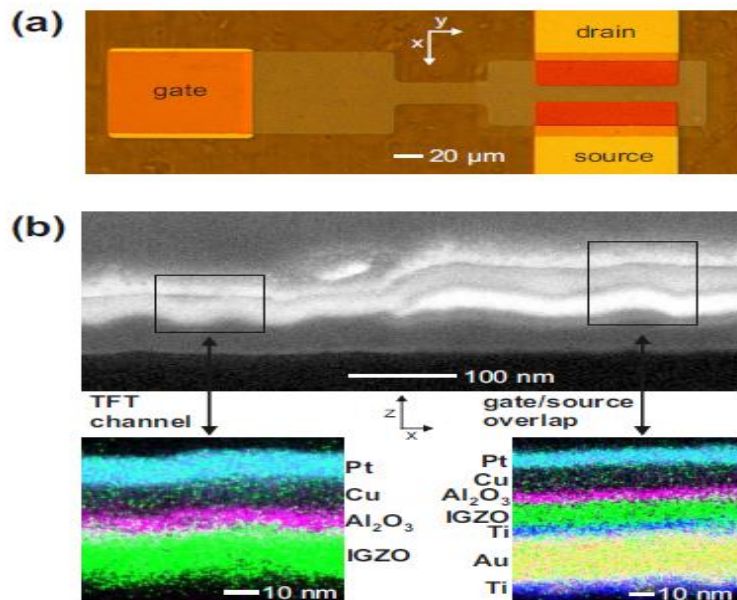
Dans cette partie nous avons étudié l'effet des pièges des charges au niveau de l'interface sur les performances des MOSFET JLTMCSG. La figure III.12 montre une coupe transversale d'une structure MOSFET JLTMCSG avec des pièges des charges d'interface localisées, utilisée pour la modélisation et la simulation du JLTMCSG-MOSFET. Le MOSFET JLTMCSG possède trois portes, constituées de trois matériaux différents ( $M_1$ ,  $M_2$  et  $M_3$ ) ayant pour travail de sortie:  $\Phi_{M_1} = 4,8\text{ eV}$ ,  $\Phi_{M_2} = 4,6\text{ eV}$  et  $\Phi_{M_3} = 4,4\text{ eV}$ . De plus, la région de canal peut être scindée en trois parties de même longueur ( $L_1: L_2: L_3 = 1:1:1$ ).

## CHAPITRE III: MODELISATION ANALYTIQUE D'UN TRANSISTOR JLTMCSG-MOSFET

La figure III.13 montre la structure du dispositif expérimental avec les états de piège intrinsèques, où le mécanisme de piégeage de charge a été présenté [11].



**Fig.III.12** Coupe transversal de la structure JLTMCSG-MOSFET avec des pièges des charges sur l'interface.



**Fig.III.13** Transistor à couches minces (TFT) réalisé expérimentalement. (a) Micrographie optique d'un transistor à couches minces avec une largeur de canal de 100 μm et une longueur de canal de 20 μm. (b) Coupe transversale d'un transistor à couches minces (TFT) [11].

### III.5 Equation de Poisson

Les lois d'échelle idéales permettent de conserver l'équation de Poisson invariante par rapport à la miniaturisation, c'est-à-dire que les champs électriques présents dans un transistor court sont toujours identiques à ceux apparaissant dans des transistors plus longs. Afin de prendre en compte les effets 'canaux courts', nous effectuons une résolution de l'équation de Poisson suivant la dimension transversale au canal et la dimension longitudinale à celui-ci. L'équation de Poisson pour une structure à deux dimensions s'écrit comme suit [1]:

$$\frac{d^2V(x, y)}{dx^2} + \frac{d^2V(x, y)}{dy^2} = -\frac{\rho(x, y)}{\epsilon_0 \epsilon_r}$$

Où :

$V(x, y)$  : le potentiel électrostatique.

$\rho(x, y)$  : la densité de charge.

$\epsilon_0$  : la permittivité du vide.

$\epsilon_r$  : la permittivité diélectrique du milieu (  $\text{SiO}_2$  dans notre cas).

La densité volumique de charge résulte à la fois de la présence des électrons libres, des trous libres, et des impuretés ionisées de type donneur ( $N_D^+$ ), et de type accepteur ( $N_A^-$ ), elle est donnée par :

$$\rho(x, y) = -q[p(x, y) - n(x, y) + N_D^+(x, y) - N_A^-(x, y)]$$

$p$  est la concentration des trous que l'on peut négliger dans l'hypothèse d'un canal complètement déserté. Avec en hypothèse une complète ionisation des impuretés dopantes.

$$N_D^+ = N_D \text{ et } N_A^- = N_A$$

### III.6 Potentiel électrostatique [12]

En résolvant l'équation de Poisson dans les trois régions du canal, le potentiel électrostatique peut être présenté par les expressions suivantes:

$$\frac{1}{r} \frac{\partial}{\partial r} \left( r \frac{\partial \phi_1(r, z)}{\partial r} \right) + \frac{\partial^2 \phi_1(r, z)}{\partial z^2} = \frac{qN_1}{\epsilon_{si}} \quad 0 \leq z \leq L_1, \quad 0 \leq r \leq R$$

$$\frac{1}{r} \frac{\partial}{\partial r} \left( r \frac{\partial \phi_2(r, z)}{\partial r} \right) + \frac{\partial^2 \phi_2(r, z)}{\partial z^2} = \frac{qN_2}{\epsilon_{si}} \quad L_1 \leq z \leq L_1 + L_2, \quad 0 \leq r \leq R$$

**CHAPITRE III: MODELISATION ANALYTIQUE D'UN TRANSISTOR  
JLTMCSG-MOSFET**

$$\frac{1}{r} \frac{\partial}{\partial r} \left( r \frac{\partial}{\partial r} \phi_3(r, z) \right) + \frac{\partial^2}{\partial z^2} \phi_3(r, z) = \frac{qN_3}{\epsilon_{si}} \quad L_1 + L_2 \leq z \leq L, \quad 0 \leq r \leq R \quad (\text{III.1})$$

En utilisant la technique de la superposition, le potentiel électrostatique dans chaque région du canal s'écrit comme suit [8, 12-13]:

$$\phi_j(r, z) = V_j(r, z) + W_j(r) \quad j = 1, 2, 3, \quad (\text{III.2})$$

Où:

$W_j(r)$  et  $V_j(r, z)$  sont respectivement la solution (1D) obtenue à partir de l'équation de Poisson et la solution (2D) de l'équation homogène de Laplace, obtenue en tenant compte des conditions aux limites.

Les solutions de  $W_j(r)$  seront donc:

$$\frac{\partial^2}{\partial r^2} W_j(r, z) + \frac{1}{r} \frac{\partial}{\partial r} W_j(r) = \frac{qN_j}{\epsilon_{si}} \quad j = 1, 2, 3, \quad (\text{III.3})$$

$$\frac{\partial^2}{\partial r^2} W_j(r, z) + \frac{1}{r} \frac{\partial}{\partial r} V_j(r, z) + \frac{\partial^2}{\partial z^2} W_j(r, z) = 0 \quad j = 1, 2, 3, \quad (\text{III.4})$$

Par symétrie, le champ électrique au milieu du canal est égal à zéro.

$$\left. \frac{\partial \phi_j(r, z)}{\partial r} \right|_{r=0} = 0 \quad j = 1, 2, 3, \quad (\text{III.5})$$

Le flux électrique au niveau du canal diélectrique de la porte d'interface est continu et est donné par :

$$\epsilon_{si} \left. \frac{\partial \phi_j(r, z)}{\partial r} \right|_{r=R} = \frac{\epsilon_{ox}}{t'_{ox}} [V_{gs} - \phi_{MS} - \phi_j(r = R, z)] \quad j = 1, 2, 3, \quad (\text{III.6})$$

Où:

$$t'_{ox} = R \ln \left( 1 + \frac{t_{ox}}{R} \right): \text{ est l'épaisseur d'oxyde équivalente [14].}$$

Le travail de sortie est donnée par:

$$\phi_{MS} = \phi_M - \phi_{Si} \quad (\text{III.7})$$

Quand :

$$\phi_{MSj} = \phi_{Mj} - \phi_{Si} + V_{fb} \quad j = 1, 2, 3, \quad (\text{III.8})$$

Où :

$\phi_M$ : est le travail de sortie du métal

$\phi_{Si}$  : est le travail de sortie du silicium, qui peut être écrit comme suit:

**CHAPITRE III: MODELISATION ANALYTIQUE D'UN TRANSISTOR  
JLTMCSG-MOSFET**

---

$$\phi_{si} = \chi_{si} + \frac{E_g}{2q} + \phi_{Fh} . \quad (III.9)$$

Où  $\phi_{Fh}$  est le potentiel de Fermi:

$$\phi_{Fh} = \frac{kT}{q} \ln \frac{N_h}{n_i} \quad (III.10)$$

Et :

$$V_{fb} = \frac{qN_f}{C_{ox}} \quad (III.11)$$

$V_{fb}$  est la tension de liaison plate en fonction des charges fixes d'interface  $N_f$  et des capacités d'oxyde  $C_{ox}$  [15].

A partir des équations (3) et (6), les solutions pour  $W_j(r)$  seront données par:

$$W_j(\mathbf{r}) = \frac{qN_j}{4\epsilon_{si}} r^2 + V_{gs} - \phi_{MS} - \frac{qN_j t'_{ox} R}{2\epsilon_{ox}} - \frac{qN_j R^2}{4\epsilon_{si}} \quad \mathbf{j} = 1, 2, 3, \quad (III.12)$$

La solution  $V_j(r, z)$  est déduite par le procédé de séparation, en utilisant la série de Fourier-Bessel.

$$V_j(\mathbf{r}, \mathbf{z}) = \sum_{n=1}^{\infty} \left[ C_n^{(j)} \exp \frac{\alpha_n z}{R} + D_n^{(j)} \exp \frac{-\alpha_n z}{R} \right] J_0 \left( \frac{\alpha_n r}{R} \right) \quad \mathbf{j} = 1, 2, 3, \quad (III.13)$$

Où :

$\alpha_n$ : est la valeur propre de la vérification de l'équation.

$$\frac{\epsilon_{ox} R}{t'_{ox} \epsilon_{si}} J_0(\alpha_n) - J_1(\alpha_n) \alpha_n = 0 \quad (III.14)$$

$J_{i(x)}$  est la premier terme de la fonction de Bessel d'ordre  $i$ . Les coefficients de la série de Fourier-Bessel  $C_n^{(1)}, D_n^{(1)}, C_n^{(2)}, D_n^{(2)}, C_n^{(3)}$ , et  $D_n^{(3)}$  sont déterminés par les conditions aux limites suivantes:

A la source le potentiel est :

$$\phi_1(\mathbf{r}, \mathbf{z} = \mathbf{0}) = V_{bi} \quad (III.15)$$

Où  $V_{bi}$  est le potentiel du drain:

$$\phi_3(\mathbf{r}, \mathbf{z} = \mathbf{L}) = V_{bi} + V_{ds} \quad (III.16)$$

Le potentiel électrostatique à l'interface des régions est continu et est exprimé par :

$$\phi_1(\mathbf{r}, \mathbf{z} = \mathbf{L}_1) = \phi_2(\mathbf{r}, \mathbf{z} = \mathbf{L}_1) \quad (III.17)$$

$$\phi_2(\mathbf{r}, \mathbf{z} = \mathbf{L}_1 + \mathbf{L}_2) = \phi_3(\mathbf{r}, \mathbf{z} = \mathbf{L}_1 + \mathbf{L}_2) \quad (III.18)$$

### CHAPITRE III: MODELISATION ANALYTIQUE D'UN TRANSISTOR JLTMCSG-MOSFET

Le flux électrique à l'interface des trois régions est également continu et peut être exprimé par:

$$\left. \frac{\partial \phi_1(r,z)}{\partial r} \right|_{z=L_1} = \left. \frac{\partial \phi_2(r,z)}{\partial r} \right|_{z=L_1} \quad (\text{III.19})$$

$$\left. \frac{\partial \phi_2(r,z)}{\partial r} \right|_{z=L_1+L_2} = \left. \frac{\partial \phi_3(r,z)}{\partial r} \right|_{z=L_1+L_2} \quad (\text{III.20})$$

En utilisant les conditions aux limites (13)-(18), l'expression résultante des coefficients de la série de Fourier-Bessel  $C_n^{(1)}$ ,  $D_n^{(1)}$ ,  $C_n^{(2)}$ ,  $D_n^{(2)}$ ,  $C_n^{(3)}$ , et  $D_n^{(3)}$  seront déduits et écrit comme suit:

$$C_n^{(1)} = \left[ -T_n^{(1)} \exp\left(-\frac{\alpha_n L}{R}\right) + T_n^{(2)} \cosh \frac{\alpha_n(L_1-L)}{R} + T_n^{(3)} \cosh \frac{\alpha_n(L_1+L_2-L)}{R} + T_n^{(4)} \right] \times (2 \sinh \frac{\alpha_n L}{R})^{-1}, \quad (\text{III.21})$$

$$D_n^{(1)} = \left[ T_n^{(1)} \exp\left(-\frac{\alpha_n L}{R}\right) + T_n^{(2)} \cosh \frac{\alpha_n(L_1-L)}{R} + T_n^{(3)} \cosh \frac{\alpha_n(L_1+L_2-L)}{R} + T_n^{(4)} \right] \times (2 \sinh \frac{\alpha_n L}{R})^{-1}, \quad (\text{III.22})$$

$$C_n^{(2)} = \left\{ \left[ -T_n^{(1)} + T_n^{(2)} \cosh \frac{\alpha_n L_1}{R} \right] \exp\left(-\frac{\alpha_n}{R}\right) + T_n^{(3)} \cosh \frac{\alpha_n(L_1+L_2+L)}{R} + T_n^{(4)} \right\} \times (2 \sinh \frac{\alpha_n L}{R})^{-1}, \quad (\text{III.23})$$

$$D_n^{(2)} = \left\{ \left[ T_n^{(1)} + T_n^{(2)} \cosh \frac{\alpha_n L_1}{R} \right] \exp\left(-\frac{\alpha_n}{R}\right) + T_n^{(3)} \cosh \frac{\alpha_n(L_1+L_2+L)}{R} + T_n^{(4)} \right\} \times (2 \sinh \frac{\alpha_n L}{R})^{-1}, \quad (\text{III.24})$$

$$C_n^{(3)} = \left\{ \left[ -T_n^{(1)} + T_n^{(2)} \cosh \frac{\alpha_n L_1}{R} + T_n^{(3)} \cosh \frac{\alpha_n(L_1+L_2)}{R} \right] \exp\left(-\frac{\alpha_n L}{R}\right) + T_n^{(4)} \right\} \times (2 \sinh \frac{\alpha_n L}{R})^{-1}, \quad (\text{III.25})$$

$$D_n^{(3)} = \left\{ \left[ T_n^{(1)} - T_n^{(2)} \cosh \frac{\alpha_n L_1}{R} - T_n^{(3)} \cosh \frac{\alpha_n(L_1+L_2)}{R} \right] \exp\left(-\frac{\alpha_n L}{R}\right) - T_n^{(4)} \right\} \times (2 \sinh \frac{\alpha_n L}{R})^{-1}, \quad (\text{III.26})$$

Avec :

$$T_n^{(1)} = \left( V_{bi} - V_{gs} + \Phi_{MS} + \frac{qN_1 t'_{ox} R}{2\epsilon_{ox}} + \frac{qN_1 R^2}{4\epsilon_{si}} \right) \left( \frac{2J_1(\alpha_n)}{\alpha_n [J_1^2(\alpha_n) + J_0^2(\alpha_n)]} \right) - \frac{qN_1 [R^2 \alpha_n J_1(\alpha_n) - 2R^2 J_2(\alpha_n)]}{2\epsilon_{si} [J_1^2(\alpha_n) + J_0^2(\alpha_n)] \alpha_n^2} \quad (\text{III.27})$$

$$T_n^{(2)} = \left( \frac{qN_1 t'_{ox} R}{2\epsilon_{ox}} - \frac{qN_2 t'_{ox} R}{2\epsilon_{ox}} + \frac{qN_1 R^2}{4\epsilon_{si}} - \frac{qN_2 R^2}{4\epsilon_{si}} \right) \left( \frac{2J_1(\alpha_n)}{\alpha_n [J_1^2(\alpha_n) + J_0^2(\alpha_n)]} \right) + (qN_2 - qN_1) \frac{[R^2 \alpha_n J_1(\alpha_n) - 2R^2 J_2(\alpha_n)]}{2\epsilon_{si} [J_1^2(\alpha_n) + J_0^2(\alpha_n)] \alpha_n^2} \quad (\text{III.28})$$

$$\mathbf{T}_n^{(3)} = \left( \frac{qN_2 t'_{ox} R}{2\epsilon_{ox}} - \frac{qN_3 t'_{ox} R}{2\epsilon_{ox}} + \frac{qN_2 R^2}{4\epsilon_{si}} - \frac{qN_3 R^2}{4\epsilon_{si}} \right) \left( \frac{2J_1(\alpha_n)}{\alpha_n [J_1^2(\alpha_n) + J_0^2(\alpha_n)]} \right) + (qN_3 - qN_2) \frac{[R^2 \alpha_n J_1(\alpha_n) - 2R^2 J_2(\alpha_n)]}{2\epsilon_{si} [J_1^2(\alpha_n) + J_0^2(\alpha_n)] \alpha_n^2} \quad (\text{III.29})$$

$$\mathbf{T}_n^{(4)} = \left( V_{bi} + V_{ds} - V_{gs} + \phi_{MS} + \frac{qN_3 t'_{ox} R}{2\epsilon_{ox}} + \frac{qN_3 R^2}{4\epsilon_{si}} \right) \left( \frac{2J_1(\alpha_n)}{\alpha_n [J_1^2(\alpha_n) + J_0^2(\alpha_n)]} \right) - \frac{qN_3 [R^2 \alpha_n J_1(\alpha_n) - 2R^2 J_2(\alpha_n)]}{2\epsilon_{si} [J_1^2(\alpha_n) + J_0^2(\alpha_n)] \alpha_n^2} \quad (\text{III.30})$$

### III.7 Détermination du courant de drain $I_{ds}$ [16]

En utilisant le potentiel de canal obtenu, le courant sous seuil peut être calculé en tant qu'un flux. La densité de courant  $J$  qui circule suivant la direction  $z$  de la source vers le drain, et d'autre part le quasi-potentiel de Fermi de l'électron  $\phi_n(z)$  est essentiellement constant dans la direction  $r$ . La densité de courant (à la fois de dérive et de diffusion) peut alors être écrite sous la forme.

$$\mathbf{J}(r, z) = -q\mu_n n(r, z) \frac{d\phi_n(z)}{dz} \quad (\text{III.31})$$

Où :

$n(r, z)$  : est la concentration des porteurs de charges.

$\mu_n$  : est la mobilité des électrons.

En intégrant la densité de courant  $J(r, z)$  à travers la section transversale circulaire en coordonnées polaires, le courant de sous-seuil par rapport à la direction  $z$  peut être exprimé par:

$$\mathbf{I}_{ds}(z) = q\mu_n \frac{d\phi_n(z)}{dz} \times 2\pi \int_0^R r N_D \exp \left\{ \frac{q[\phi(r, z) - \phi_n(z)]}{KT} \right\} dr \quad (\text{III.32})$$

Ensuite, à l'aide de l'équation relative à  $z$  de 0 à  $L$ , le courant de sous-seuil peut être obtenu comme suit:

$$\mathbf{I}_{ds}(z) = \frac{2\pi N_D \mu_n KT [1 - \exp(-qV_{ds}/KT)]}{\int_0^L \left[ \int_0^R r \exp \left\{ \frac{q[\phi(r, z) - \phi_n(z)]}{KT} \right\} dr \right]^{-1} dz} \quad (\text{III.33})$$

Enfin, le courant sous seuil peut être calculé en fonction de  $V_{gs}$  et  $V_{ds}$ .

Le modèle de mobilité constante est utilisé à la fois pour le modèle analytique et dans la simulation numérique.

### III.8 Détermination de la tension de seuil $V_{th}$

La tension de seuil est définie comme la tension de grille qui fait en sorte que le potentiel de surface minimum devienne deux fois le potentiel de Fermi.

**CHAPITRE III: MODELISATION ANALYTIQUE D'UN TRANSISTOR  
JLTMCSG-MOSFET**

---

$$\phi_1(r = R, Z = Z_{\min}) = 2\sqrt{C_1^{(1)}D_1^{(1)}}J_0(\alpha_1) + V_{gs} - \phi_{MS} - \frac{qN_2t'_{ox}R}{2\epsilon_{ox}} \quad (III.34)$$

$$\phi_1(r = R, Z = Z_{\min}) = 2\phi_F \quad V_{gs} = V_{th} \quad (III.35)$$

Où:

$$Z_{\min} = \frac{R}{2\alpha_1} \ln \frac{D_1^{(1)}}{C_1^{(1)}} \quad (III.36)$$

$Z_{\min}$  est le potentiel de surface minimal situé dans la région 1.

Ainsi, la tension de sous-seuil peut être obtenue comme suit:

$$V_{th} = \phi_{MS1} - U_t - \frac{(qN_1R)}{2C_{ox}} - \frac{(qN_1R^2)}{4\epsilon_{si}} - 2\sqrt{Cn_1^1Dn_1^1} \quad (III.37)$$

Où:

$$U_t = \frac{K_B T}{q} \quad (III.38)$$

### III.9 Conclusion

Dans ce chapitre, nous avons présenté quelques généralités sur les matériaux utilisés dans le transistor JLTMCSG-MOSFET auquel nous nous sommes intéressés.

Pour étudier le comportement électrique des composants JLTMCSG-MOSFET on a présenté un modèle analytique basé sur la solution exacte de l'équation de Poisson à deux dimensions (2D) en coordonnées cylindriques.

L'utilisation de ce modèle numérique nous a permis de construire une base de données qui sera utilisée pour l'optimisation de notre structure. Les résultats obtenus nous ont encouragés à adopter notre approche pour l'étude et la simulation des circuits électroniques nanométriques.

## **Références bibliographiques du Chapitre III**

- [1] Rechem. D, "Contribution à l'étude de transistor MOS à oxyde de grille très mince". Thèse de doctorat, université de Constantine, 2010.
- [2] Maneglia. Y, "Analyse en profondeur des défauts de l'interface Si-SiO<sub>2</sub> par la technique du pompage de charges". Thèse de doctorat, Institut national polytechnique de Grenoble, Grenoble, France, 1998.
- [3] Carmona. M, "Fiabilité des transistors MOS des technologies à mémoires non volatiles embarquées". Thèse de doctorat, université d'Aix-Marseille, 2015.
- [4] Deal. B.E, "Standardized terminology for oxide charges associated with thermally oxidized silicon". IEEE Transactions on Electron Devices, 27(3), 606-608, 1980.
- [5] Khemissi. S, "Modélisation non linéaire des composants a effet de champ". Thèse de doctorat, université de Constantine, 2009.
- [6] Lakehal. B, "Etude des propriétés électriques d'une photopile à base d'une structure Schottky". Mémoire de magister, université de Batna, 2009.
- [7] Bourouba. F, "Modélisation et simulation des contacts metal-semi-conducteur à barrière inhomogène". Mémoire de magister, université Ferhat Abbas-Setif, 2010.
- [8] Li. C, Zhuang. Y, Han. R, Jin. G, "Subthreshold behavior models for short-channel junctionless tri-material cylindrical surrounding-gate MOSFET". Microelectronics Reliability, 54(6-7), 1274-1281, 2014.
- [9] Rechem. D, Khial. A, Azizi. C, Djeflal, F, "Impacts of high-k gate dielectrics and low temperature on the performance of nanoscale CNTFETs". Journal of Computational Electronics, 15(4), 1308-1315, 2016.
- [10] Chatterjee. S, Kuo. Y, "Effects of interfacial charges on doped and un,doped HfO<sub>x</sub> stack layer with in metal gate electrode for nano-scaled CMOS generation ". J. Nano- Electron. Phys. 3 No 1, 162, 2011.
- [11] Daus. A, Vogt. C, Münzenrieder. N, Petti. L, Knobelspies. S, Cantarella. G, ... & Tröster. G, "Charge trapping mechanism leading to sub-60-mV/decade-swing FETs". IEEE Transactions on Electron Devices, 64(7), 2789-2796, 2017.
- [12] Cong. L, Yiqi. Z, Ru. H, "New analytical threshold voltage model for halo-doped cylindrical surrounding-gate MOSFETs". Journal of Semiconductors, 32(7), 074002, 2011.

### ***CHAPITRE III: MODELISATION ANALYTIQUE D'UN TRANSISTOR JLTMCSG-MOSFET***

---

- [13] Chiang. T. K, "A new compact subthreshold behavior model for dual-material surrounding gate (DMSG) MOSFETs". *Solid-State Electronics*, 53(5), 490-496, 2009.
- [14] Jimenez. D, Saenz. J.J, Iniguez. B, Sune. J, Marsal. L.F, Pallares. J, "Modeling of nanoscale gate-all-around MOSFETs". *IEEE Electron device letters*, 25(5), 314-316, 2004.
- [15] Gautam. R, Saxena. M, Gupta. R.S, Gupta. M, "Numerical analysis of localised charges impact on static and dynamic performance of nanoscale cylindrical surrounding gate MOSFET based CMOS inverter". *Microelectronics Reliability*, 53(2), 236-244, 2013.
- [16] Cong. L, Yi-Qi. Z, Li. Z, Gang. J, "A two-dimensional analytical subthreshold behavior model for junctionless dual-material cylindrical surrounding-gate MOSFETs". *Chinese Physics B*, 23(3), 038502, 2014.

# Chapitre IV: Résultats et interprétations

# Résultats et discussions

## IV.1 Introduction

L'évolution de la technologie microélectronique a besoin de la compréhension du fonctionnement des MOSFETs pour optimiser leurs propriétés électriques et physiques et optimiser leurs performances. Dans cette optique et afin d'améliorer les performances des JLTMCSSG-MOSFET, dont il est question dans notre étude, il faut être en mesure de faire débiter un courant  $I_{on}$  plus fort tout en gardant un niveau de fuite  $I_{off}$  acceptable (fixés par l'ITRS). Pour limiter le courant  $I_{off}$  il est nécessaire de limiter au maximum les effets de canal court, c'est-à-dire optimiser le contrôle électrostatique du canal par la grille.

Pour la simulation de notre modèle analytique nous avons utilisé un programme en langage MATLAB. Pour cela nous avons consacré le troisième chapitre aux différentes expressions analytiques, que nous avons déterminé en vue de la modélisation du transistor JLTMCSSG-MOSFET. La validité de cette modélisation traitée dans ce quatrième chapitre où nous avons consacré une partie dédiée à une comparaison entre les résultats du modèle et ceux d'un code de simulation (MEDICI) existant dans la littérature [1].

La simulation traitée en détail dans ce chapitre a été pour nous un outil incontournable nous permettant d'obtenir des valeurs difficilement accessibles autrement, et de faire varier aisément les paramètres technologiques, ce qui nous a permis d'accéder à une meilleure compréhension du fonctionnement du composant.

Cependant pour réaliser des simulations fiables et représentatives, les modèles des semi conducteurs ne sont pas suffisants: il alors de coutume de prendre en compte les éléments parasites qui peuvent avoir une influence importante sur les caractéristiques et performances du transistor.

## IV.2 Validation du modèle analytique

La figure IV.1 compare les caractéristiques électriques  $I_{ds}$  ( $V_{gs}$ ) dans le dispositif JLTMCSSG-MOSFETs prédits par notre modèle analytique et d'un code de simulation (MEDICI)[1]. En effet, on observe que les courbes présentent la même allure. Comme il est montré, la concordance entre eux permet de prouver la précision de notre modèle de simulation. Sur cette figure on a enregistré la variation du courant de drain en fonction de la tension de la grille avec différents rayons des

plaquettes de silicium. Nous observons que la petite valeur de  $r = t_{si} / 2 = 10$  nm peut conduire à une baisse de courant de fuite inférieure au seuil par rapport à ceux d'un film de silicium de grand rayon. Pour les films de silicium de grand rayon, on peut noter un courant de fuite inférieur au seuil supérieur, ce qui fournit un courant de commande suffisant et augmente le débit du composant. Cela a pour effet la diminution de la durée de vie des circuits lorsque le dispositif est utilisé pour une application de circuit à faible puissance [2].

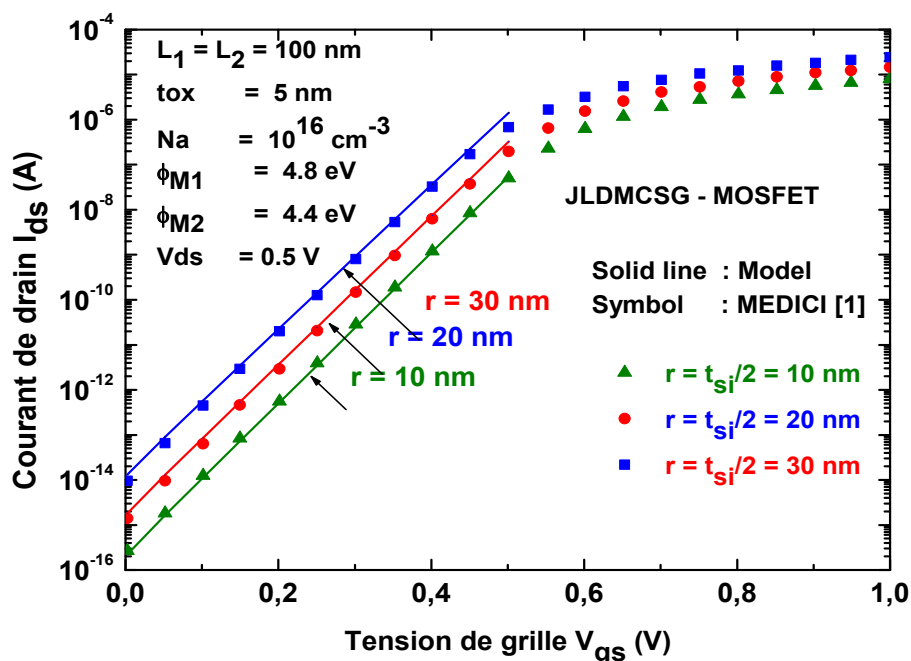


Fig.IV.1 Caractéristiques courant tension I-V du transistor JLDMCSG-MOSFETs avec différents rayons de silicium.

### IV.3 Etude de l'effet de la longueur du canal sur les performances de JLTMCSG-MOSFET [3]

La longueur du canal est le paramètre le plus important et l'indicateur clef de la de la nanotechnologie. Afin de fabriquer un circuit qui fonctionne avec une vitesse la plus élevée possible et qui consomme moins d'énergie et ayant une surface la plus petite possible, il faut diminuer la longueur du canal de transistor. En réduisant la longueur du canal, la surface occupée par le transistor est donc réduite et la résistance série est diminuée, permettant ainsi d'avoir un courant plus important. En même temps, la capacité totale de la grille (total gate Capacitance) ( $C_{gg}$ ) est réduite, et donc la vitesse du circuit s'en trouve augmentée. Par contre, le SCE et le DIBL sont liés directement à la réduction de la longueur du canal. Plus petite est la longueur du canal plus gênants sont ces effets SCE et DIBL [4].

### IV.3.1 Les caractéristiques courant tension I-V

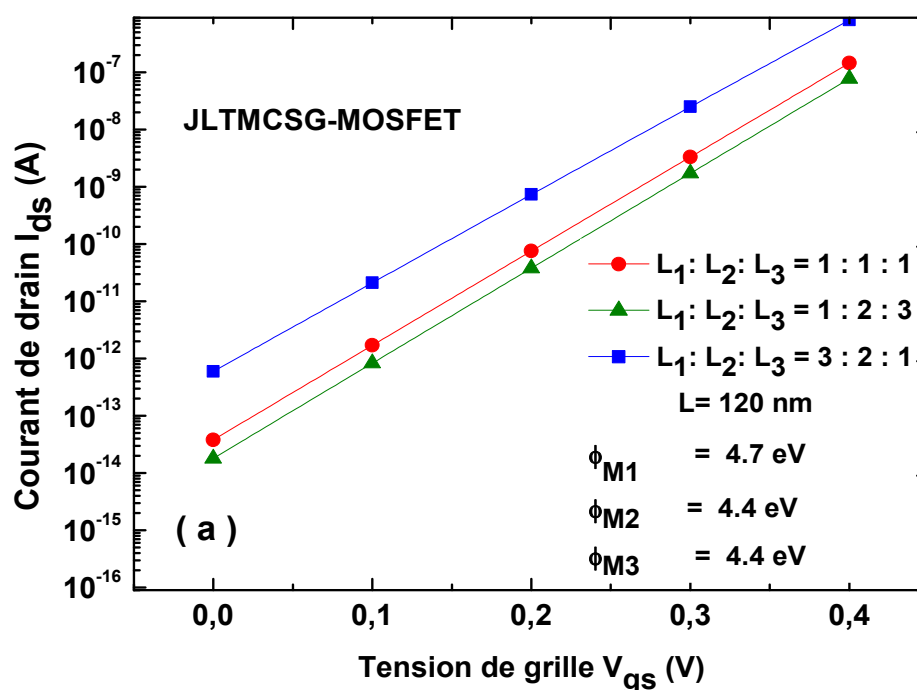
A partir des expressions du courant de drain en fonction des tensions drain - source et grille-source, on représente alors les caractéristiques de sortie et de transfert du MOSFET qui sont données sur les figures (IV.2.a) et (IV.2.b) où nous représentons la variation du courant du drain ( $I_{ds}$ ) en fonction de la tension de grille ( $V_{gs}$ ).

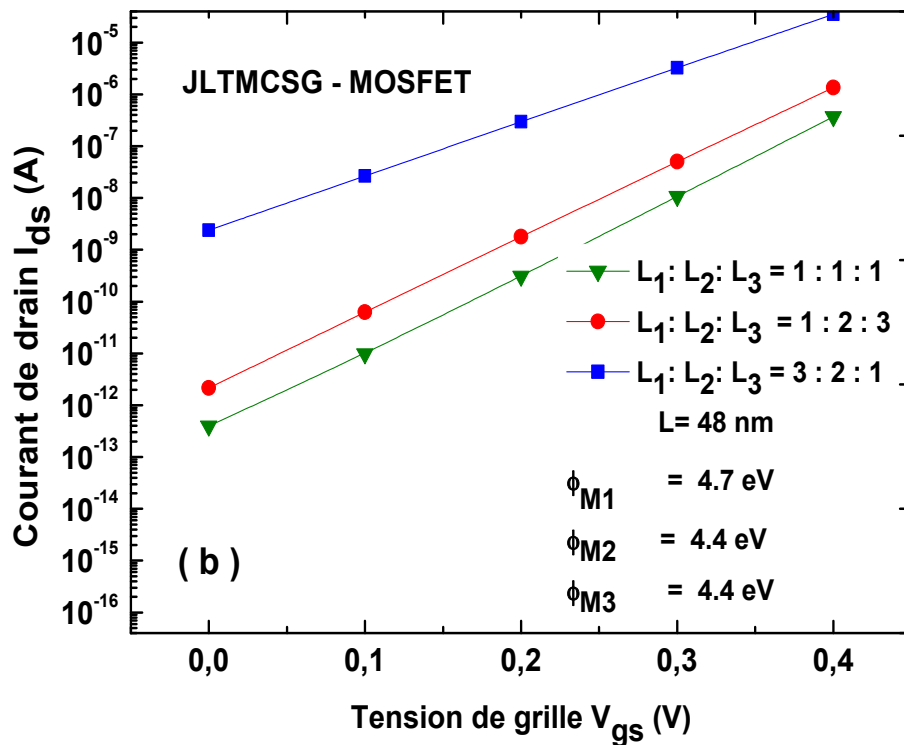
A partir de ces courbes on a pu étudier l'effet de la longueur du canal sur les performances du transistor JLTMCSSG-MOSFETs.

Le canal est divisé en trois parties différentes:  $L_1:L_2:L_3=1:1:1$ ,  $L_1:L_2:L_3=1:2:3$  et  $L_1:L_2:L_3=3:2:1$ . La figure IV.2.a a été obtenue en utilisant une longueur de canal longue  $L_C=120$  nm, ce qui nous a permis d'observer que le courant  $I_{ds}$  augmente avec l'augmentation de la tension  $V_{gs}$  et de conclure que la structure  $L_1:L_2:L_3=3:2:1$  représente la meilleure performance avec un courant élevé.

Pour tracer la figure IV.2.b on a utilisé une longueur de canal courte  $L_C=48$  nm, ce qui nous a permis d'observer également que le courant  $I_{ds}$  augmente avec l'augmentation de la tension  $V_{gs}$ . La comparaison entre les figures IV.2.a et b indique que l'utilisation de la longueur de canal  $L_C=120$  nm donne une meilleure diminution du courant de fuite.

A partir des résultats de simulation que nous avons obtenu, on peut tout de suite remarquer que la variation de la longueur du canal influence directement le courant de drain du transistor JLTMCSSG-MOSFETs.



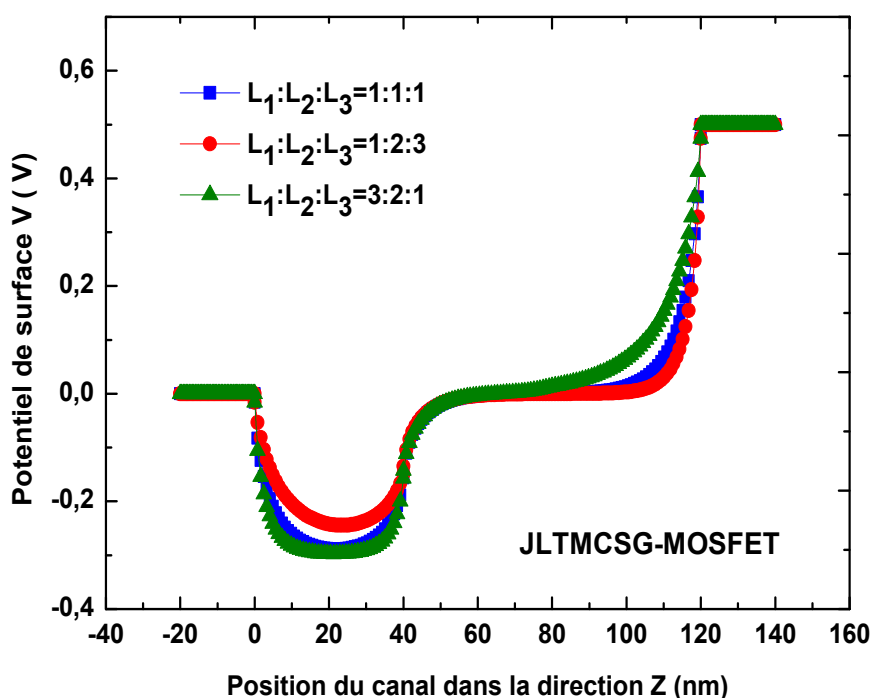


**Fig.IV.2** Caractéristiques courant tension I-V du transistor JLTMCSSG-MOSFETs pour différentes longueurs de canal, avec les paramètres de simulation:  $R=10 \text{ nm}$ ,  $t_{ox} = 1 \text{ nm}$  et  $V_{ds}=0.5V$ .

### IV.3.2 Le potentiel de surface

En première constatation, et d'après la figure IV.3 nous pouvons dire que le minimum du potentiel est élevé pour la structure ( $L_1:L_2:L_3 = 3:2:1$ ).

Dans le cas de la structure JLTMCSSG-MOSFETs, la tension de seuil  $V_{th}$  est également déterminée par la position de minimum du potentiel de la surface.



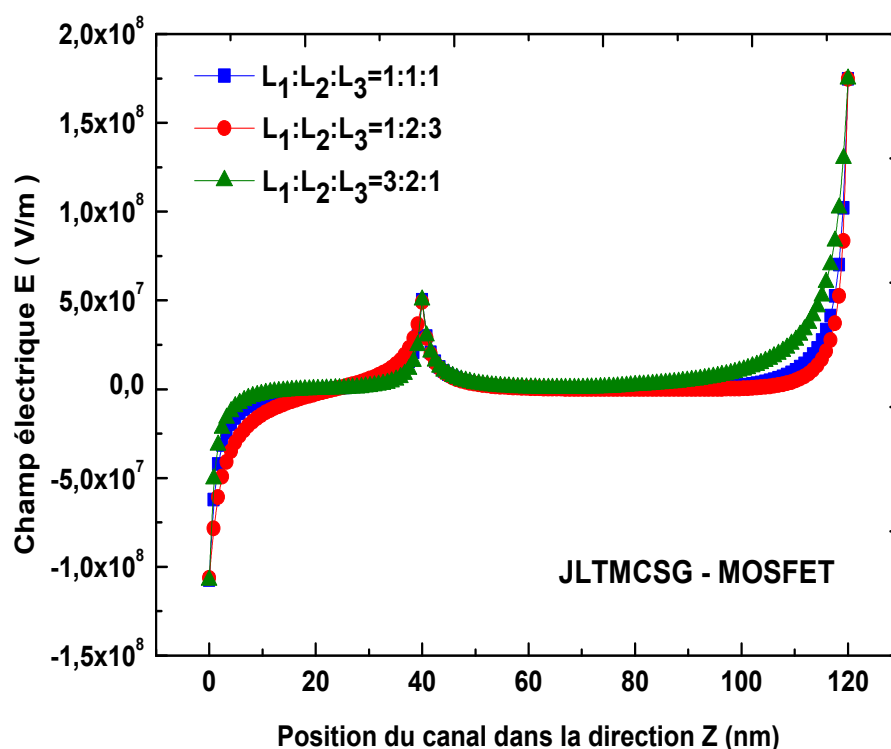
**Fig.IV.3** Potential de surface de JLTMCSSG-MOSFETs pour différentes longueurs de canal, avec les paramètres de simulation:  $L_C = 120 \text{ nm}$ ,  $R = 10 \text{ nm}$ ,  $t_{ox} = 1 \text{ nm}$ ,  $V_{gs} = 0,2 \text{ V}$  et  $V_{ds} = 0,5 \text{ V}$ .

### IV.3.3 Le champ électrique

La figure IV.4 représente la distribution du champ électrique dans la structure JLTMCSSG-MOSFETs; on voit l'apparition d'un seul pic de champ électrique situé dans le centre du canal de JLTMCSSG-MOSFETs, ce qui assure une meilleure distribution du champ électrique à travers le canal. D'autre part, une grande vitesse des porteurs de charges est relevée.

L'augmentation de la vitesse des porteurs, produit de meilleures performances et une bonne capacité d'entraînement.

Une autre observation est très importante à soulever, elle concerne l'intensité du champ électrique obtenu dans notre structure qui est relativement élevée, ainsi que le décalage de celui-ci dans la région du canal près du drain.



**Fig.IV.4** Champ électrique de JLTMCSSG-MOSFETs pour différentes longueurs de canal, avec les paramètres de simulation:  $L_C = 120 \text{ nm}$ ,  $R = 10 \text{ nm}$ ,  $t_{ox} = 1 \text{ nm}$ ,  $V_{gs} = 0,2 \text{ V}$  et  $V_{ds} = 0,5 \text{ V}$ .

#### IV.3.4 La barrière d'injection source-drain due à la tension de drain (DIBL)

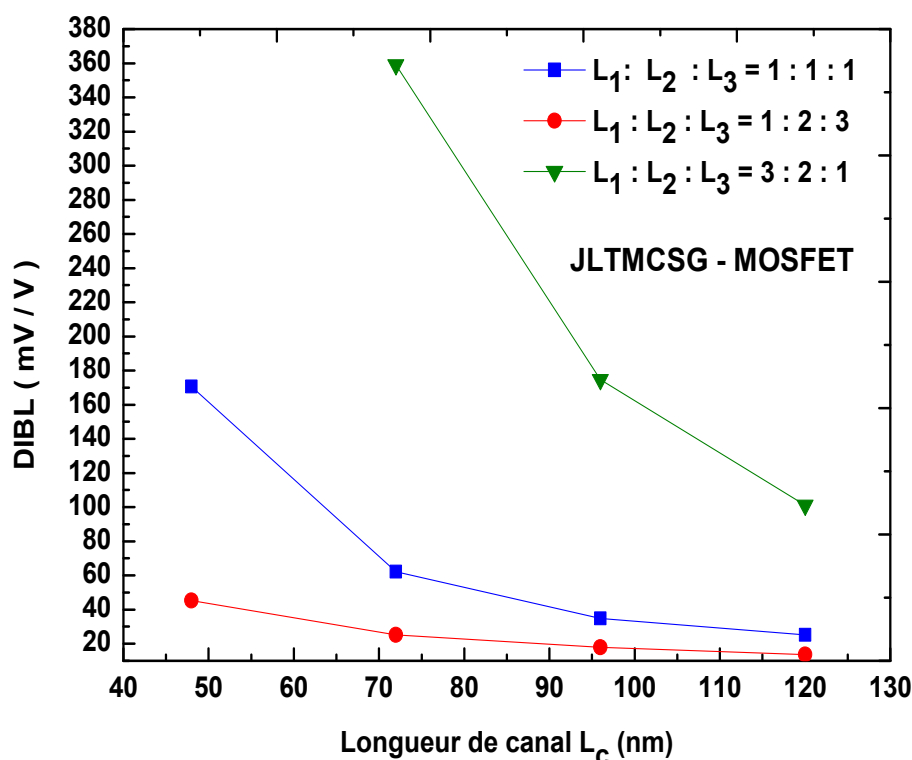
Pour les transistors à canaux courts, l'application d'une tension importante  $V_{ds}$  provoque la diminution de  $V_{th}$  avec augmentation de  $I_{off}$ . Cet effet de diminution de la barrière de potentiel induit par l'application de la tension de drain s'appelle DIBL (*Drain Induced Barrier Lowering*).

Dans ce qui suit nous allons présenter nos résultats numériques sur le DIBL. Pour ce faire nous avons utilisé les valeurs classiques des tensions: pour les tensions  $V_{ds}$  faibles on a pris:  $V_{ds} = 50 \text{ mV}$  et pour les tensions  $V_{ds}$  élevées on a pris:  $V_{ds} = 1 \text{ V}$ .

L'effet DIBL est habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil  $\Delta V_{th}$  divisé par le  $\Delta V_{ds}$ , entre deux courbes résultant de deux tensions de drain différentes [5]:

$$DIBL = \frac{V_{th}(V_{ds} \text{ faible}) - V_{th}(V_{ds} \text{ élevée})}{V_{ds} \text{ élevée} - V_{ds} \text{ faible}}$$

Sur la figure IV.5 nous pouvons observer l'effet de la variation de la longueur du canal  $L_C$  sur le « DIBL ». A partir cette figure, on peut dire que le DBL diminue quand la longueur de canal augmente pour les trois structures  $L_1: L_2: L_3$ . On déduit à partir de là un résultat très intéressant concernant la structure ( $L_1: L_2: L_3 = 1: 2: 3$ ), pour la quelle on obtient un petit DBL. Cette performance nous a permis d'étudier d'autres caractéristiques des JLTMCSSG-MOSFETs.

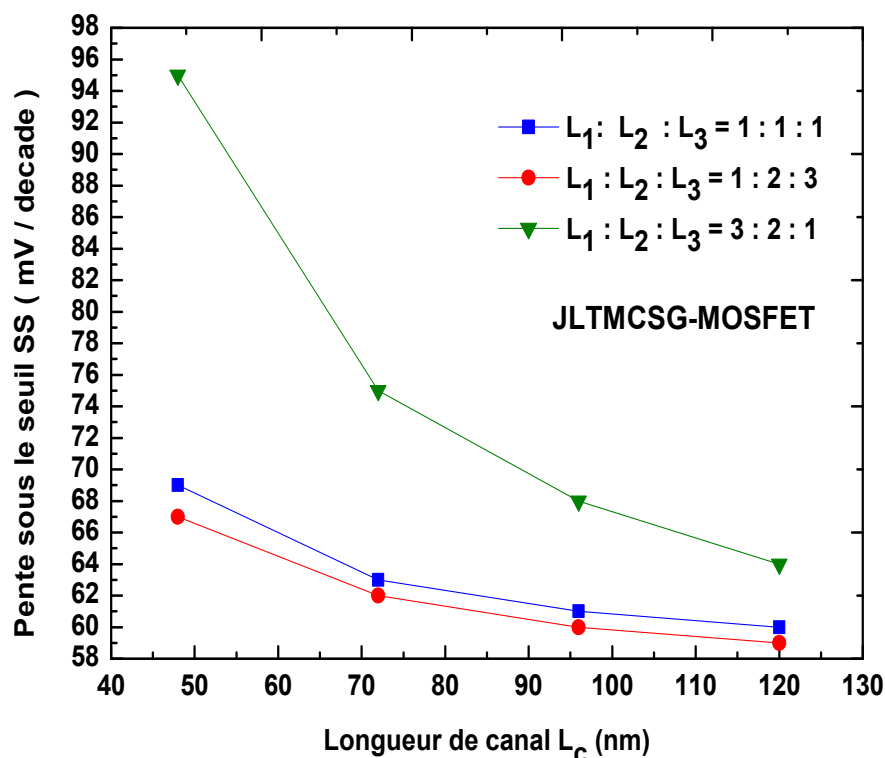


**Fig.IV.5** Abaissement de la barrière d'injection source-drain due à la tension de drain (DIBL) en fonction de la longueur de canal  $L_C$ , pour différentes longueurs de canal, avec les paramètres de simulation:  $R = 10 \text{ nm}$ ,  $t_{ox} = 1 \text{ nm}$  et  $V_{ds \text{ faible}} = 0,05 \text{ V}$ ,  $V_{ds \text{ élevée}} = 1 \text{ V}$ .

#### IV.3.5 La pente sous-seuil (SS)

Un autre paramètre important caractérisant les performances des transistors à canal court est la pente sous-seuil (SS). La pente de sous-seuil (SS) est un paramètre qui permet d'estimer les caractéristiques de sous-seuil des dispositifs MOSFET à canal court à l'échelle nanométrique. Il prédit de combien de volts la polarisation de grille doit être augmentée afin d'augmenter les temps de courant sous-seuil.

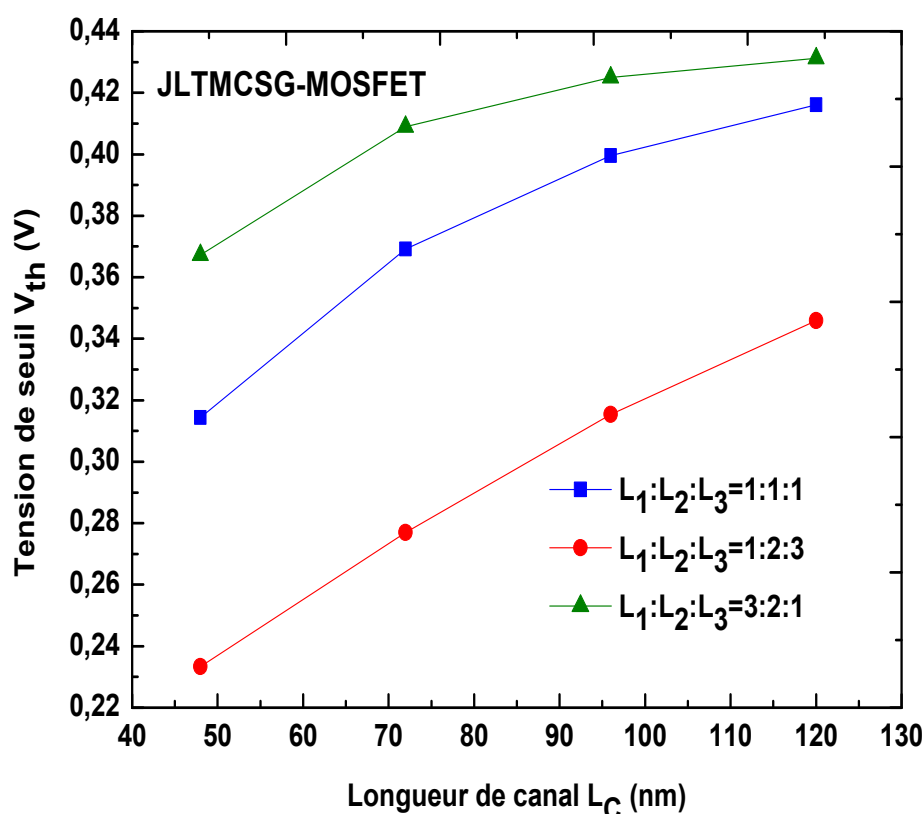
L'évolution de cette dernière avec la longueur du canal est représentée sur la figure IV.6 pour les tensions:  $V_{ds}$  faible égale à 0.05 V et  $V_{ds}$  élevée égale à 1 V. On remarque que la tension de seuil (SS) diminue avec l'augmentation de la longueur du canal  $L_C$ , et que lorsque  $L_C$  devient égale à 96 nm la structure ( $L_1 : L_2 : L_3 = 1 : 2 : 3$ ) subit une dégradation importante en s'éloignant de la valeur idéale (60 mV/décade) [6].



**Fig.IV.6** Évolution de la pente sous-seuil (SS) en fonction de la longueur de canal  $L_C$  pour différentes longueurs de canal, avec les paramètres de simulation:  $R = 10 \text{ nm}$ ,  $t_{ox} = 1 \text{ nm}$  et  $V_{ds \text{ faible}} = 0,05 \text{ V}$ ,  $V_{ds \text{ élevée}} = 1 \text{ V}$ .

#### IV.3.6 La tension de seuil ( $V_{th}$ )

La tension de seuil est un paramètre très important qui conditionne les performances du JLTMCSSG-MOSFET. Aussi nous avons fait une simulation numérique sur ce paramètre. Les résultats obtenus sur la tension de seuil ( $V_{th}$ ) en fonction de la longueur du canal  $L_C$  pour  $V_{ds}=0,5 \text{ V}$  sont montrés sur la figure IV.7. On remarque clairement que le  $V_{th}$  augmente avec l'augmentation de la longueur du canal  $L$  pour les trois structures ( $L_1 : L_2 : L_3$ ) de JLTMCSSG-MOSFETs. Cependant on enregistre une diminution importante de  $V_{th}$  pour  $L_C$  égale à 48 nm de la structure ( $L_1 : L_2 : L_3 = 1 : 2 : 3$ ).



**Fig.IV.7** Évolution de la tension de seuil ( $V_{th}$ ) en fonction de la longueur de canal  $L_C$  pour différentes longueurs de canal, avec les paramètres de simulation:  $R = 10 \text{ nm}$ ,  $t_{ox} = 1 \text{ nm}$ ,  $V_{gs} = 0,3 \text{ V}$  et  $V_{ds} = 0,5 \text{ V}$ .

Pour conclure cette partie, nous pouvons dire que les résultats obtenus indiquent clairement que la longueur du canal est une grandeur importante qui a une grande influence sur les performances du JLTMCSSG-MOSFET. Elle contribue à améliorer efficacement les performances de l'appareil en termes d'abaissement de la barrière induite par le drain (DIBL) et la pente de sous-seuil (SS). D'autre part on peut dire aussi que la structure ( $L_1 : L_2 : L_3 = 1 : 2 : 3$ ) est la plus recommandée pour réduire les effets des canaux courts.

En utilisant une grille à 3 métaux, nous avons pu observer une augmentation évidente du courant du drain, il en résulte un bon contrôle électrostatique du canal avec un abaissement de la tension de seuil, ce qui permettra l'utilisation de ce composant dans les applications logiques qui nécessitent une faible tension de seuil.

### IV.4 Etude de l'effet des diélectriques k élevés (High k) sur les performances du JLCSG-MOSFET [7]

La grande évolution du monde des transistors s'est avérée par l'avènement de la technologie « high-k » gate, qui permet de toujours poursuivre la loi de Moore, et constitue de fait une grande évolution dans le monde des transistors.

Cette découverte repose sur l'intégration d'une couche isolante de forte permittivité appelée « high-k » à l'oxyde de silicium. L'introduction d'un empilement de grille de type high-k-métal a été industrialisée par Intel dès 2007 [8]. Les diélectriques high-k permettent, grâce à une permittivité diélectrique plus élevée que celle du SiO<sub>2</sub>, de relaxer les contraintes dues à l'amincissement de l'oxyde de grille comme l'exige les règles de miniaturisation. Arrivé à un point où la couche d'isolant n'est plus épaisse que de quelques atomes, l'isolant high-k permet de maintenir une capacité de grille élevée tout en limitant le courant de fuite parasite à travers la couche diélectrique, donc l'efficacité du système.

Le nombre de diélectriques à haute permittivité utilisés au cours des dernières années a fortement augmenté dans le but de rechercher des propriétés toujours meilleures.

Les matériaux diélectriques de substitution à l'oxyde de grille, on trouve au premier rang: HfO<sub>2</sub>, ZrO<sub>2</sub>, TiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub> comme oxydes ou encore des silicates, qui doivent respecter un cahier des charges très strict [9]; l'ensemble des propriétés imposées doit être supérieur ou au moins égal à celui du SiO<sub>2</sub>.

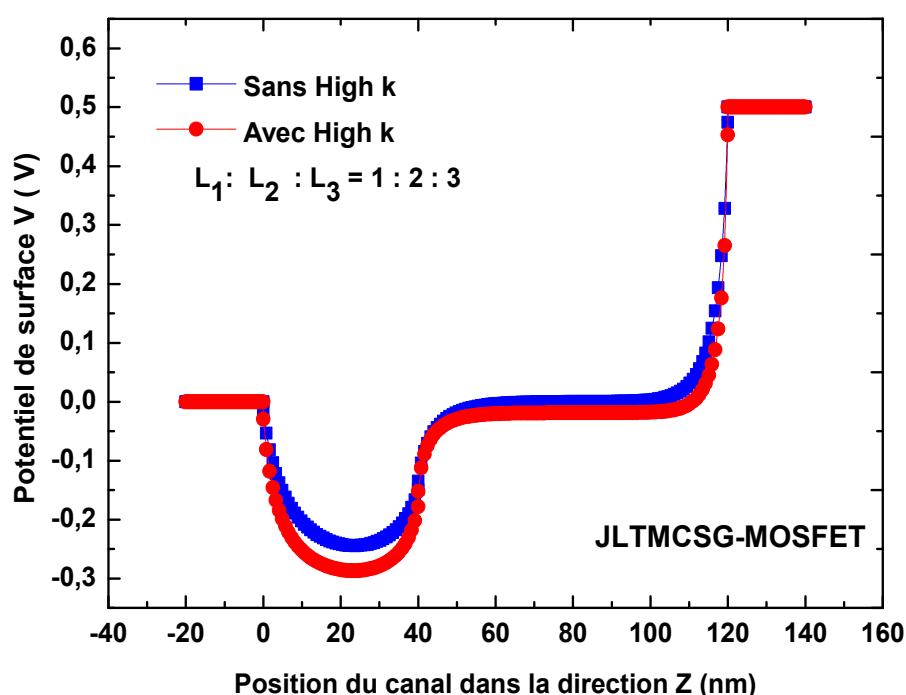
De nos jours l'oxyde d'Hafnium et les silicates d'Hafnium sont considérés comme étant les matériaux les plus prometteurs.

Si l'intégration des empilements de type high-k-métal semble repousser les difficultés liées à la miniaturisation, cependant elle s'accompagne souvent de nombreux problèmes, nous citons:

- ✓ la fiabilité des dispositifs est dégradée par rapport à un empilement Si/SiO<sub>2</sub>.
- ✓ les techniques de dépôt sont plus complexes et plus coûteuses pour un diélectrique high-k que le procédé d'oxydation thermique utilisé dans le cas du SiO<sub>2</sub> [10]. Si bien que l'interface Si/SiO<sub>2</sub> reste, à l'heure actuelle, considérée par certains comme un « cadeau de la nature » [11] difficilement remplaçable.
- ✓ une dégradation de la mobilité dans le canal par l'empilement de grille [12-14].
- ✓ jusqu'à présent, l'intégration des diélectriques high-k nécessite une couche d'oxyde d'interface SiO<sub>2</sub> pour limiter la dégradation de la mobilité. De plus, la couche d'interface va servir de tampon et prévenir le claquage franc de l'empilement tout entier [15].

#### IV.4.1 Le potentiel de surface

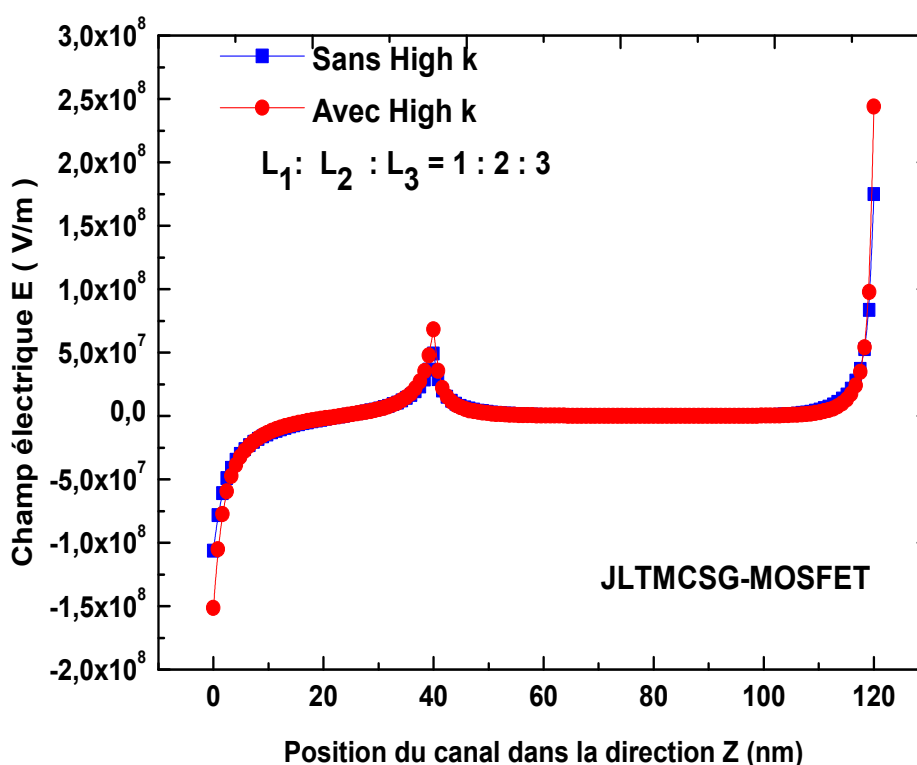
Sur la figure IV.8 nous avons représenté le potentiel de la surface suivant la direction z avec et sans diélectrique high- $k$ . On note que le potentiel électrostatique de surface dans la région du canal situé près de la source est un peu plus élevé quand on utilise le diélectrique high- $k$ . Cela signifie que l'injection de porteurs de la source au canal est plus efficace.



**Fig.IV.8** Potentiel de surface de JLTMCSSG-MOSFETs pour différentes longueurs du canal, avec les paramètres de simulation:  $L_c = 120$  nm ,  $R = 10$  nm ,  $t_{ox} = 1$  nm ,  $V_{gs} = 0,2$  V et  $V_{ds} = 0,5$  V.

#### IV.4.2 Le champ électrique

La distribution du champ électrique dans la structure JLTMCSSG-MOSFETs est illustrée dans la figure IV.9. Nous avons obtenu un pic de champ électrique au milieu du canal de transistor, ce qui assure une meilleure distribution du champ électrique à travers le canal. Cela signifie que l'efficacité de la transportation des porteurs de charges et la vitesse du dispositif augmente. Un champ électrique plus élevé est donc obtenu en utilisant le diélectrique high- $k$ .



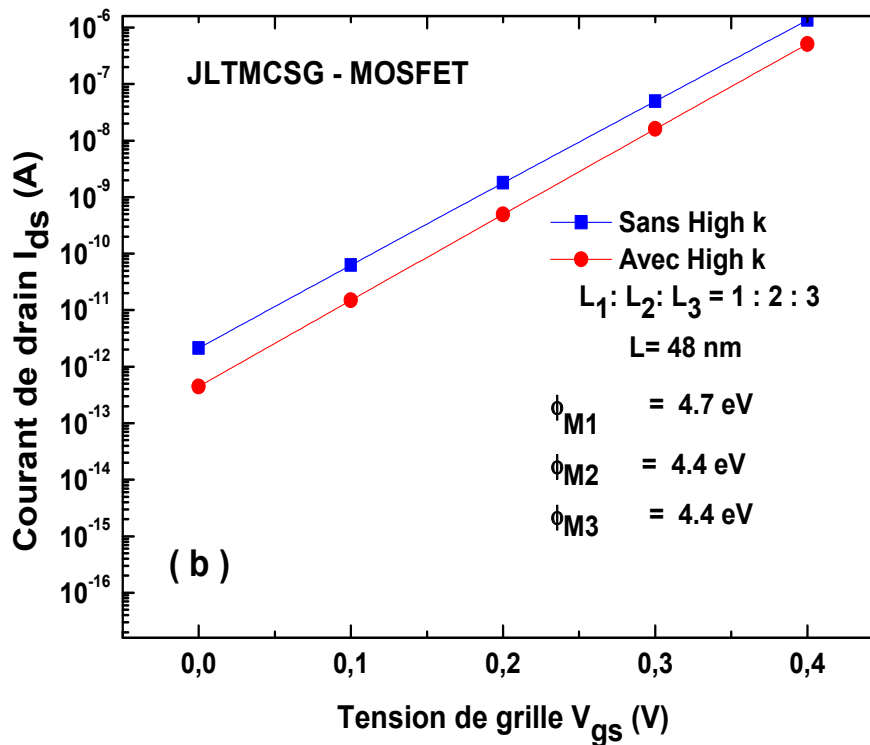
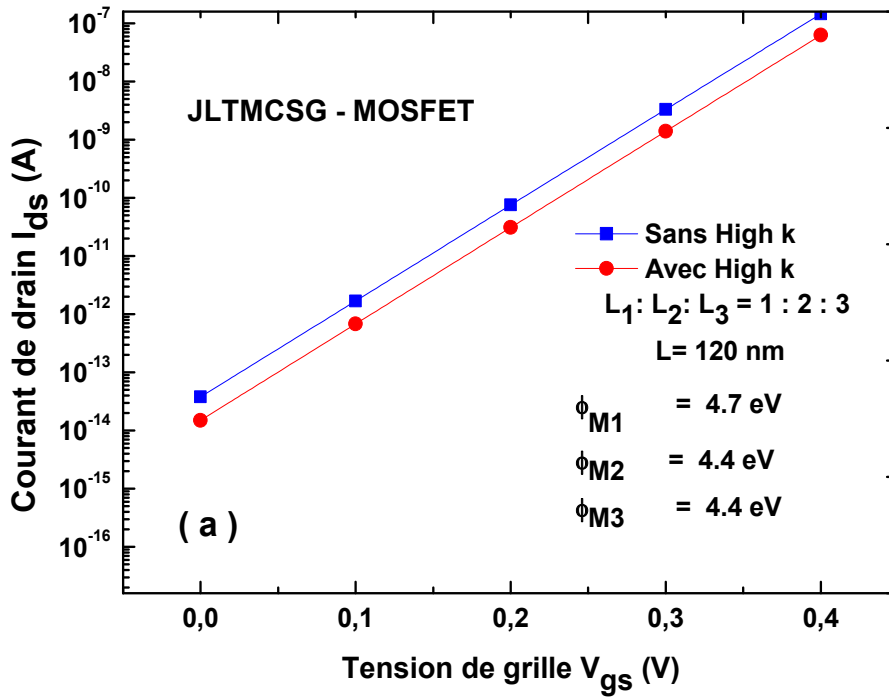
**Fig.IV.9** Champ électrique de JLTMCSSG-MOSFETs pour différentes longueurs du canal, avec les paramètres de simulation:  $L_c = 120 \text{ nm}$ ,  $R = 10 \text{ nm}$ ,  $t_{ox} = 1 \text{ nm}$ ,  $V_{gs} = 0,2 \text{ V}$  et  $V_{ds} = 0,5 \text{ V}$ .

#### IV.4.3 Le courant de drain $I_{ds}$

La figure IV.10 représente les caractéristiques courant-tension de JLTMCSSG-MOSFETs avec et sans diélectrique high-k selon les trois travaux de sortie de la grille. Nous pouvons remarquer que l'utilisation d'une couche d'oxyde de permittivité élevée high-k modifie la caractéristique  $I(V)$ .

On remarque que l'utilisation de diélectriques élevés (high-k) donne des valeurs de courant de drain plus petites par rapport aux valeurs obtenues si on utilise l'oxyde  $\text{SiO}_2$ . On a aussi que la longueur du canal  $L_c = 120 \text{ nm}$  diminue le courant de fuite.

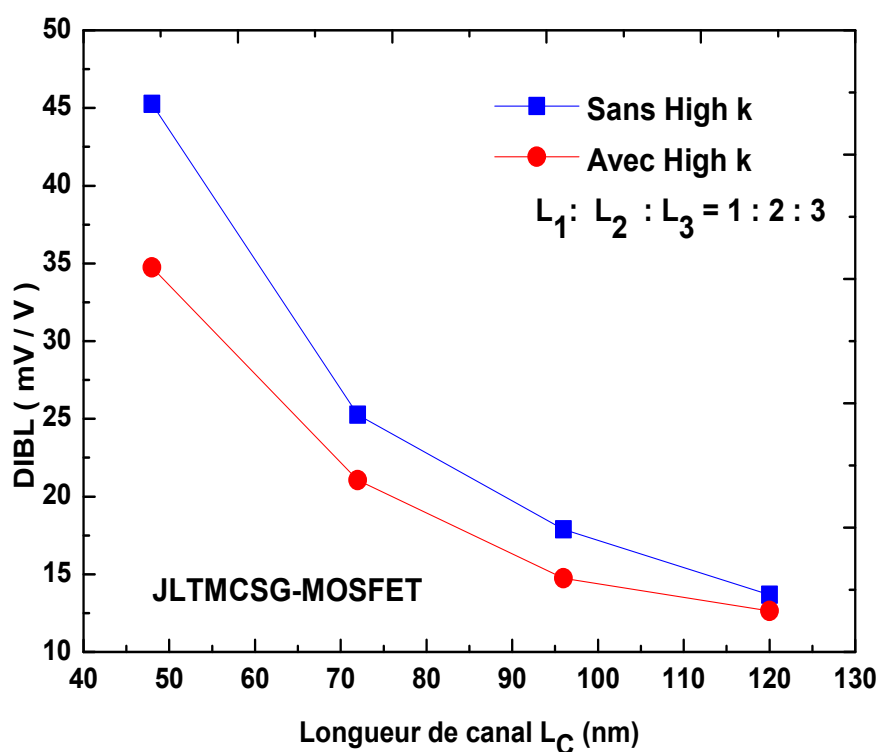
Les résultats obtenus seront alors comparés à ceux obtenus par l'utilisation du  $\text{SiO}_2$ , ce qui permettra d'apprécier l'amélioration des performances en terme de courant suite à l'utilisation de ces matériaux.



**Fig.IV.10** Caractéristiques courant tension I-V du transistor JLTMCSSG-MOSFETs pour différentes longueurs du canal, avec les paramètres de simulations:  $R=10 \text{ nm}$ ,  $t_{ox} = 1 \text{ nm}$  et  $V_{ds}=0.5V$ .

#### IV.4.4 Effet de la tension de drain (DIBL) sur la barrière d'injection source-drain

L'effet de la longueur du canal sur le DIBL avec et sans diélectrique high-k a été examiné. On note que le DIBL diminue avec l'augmentation de la longueur du canal (Fig IV.11), on a trouvé une réduction importante de DIBL quand la longueur du canal varie entre 48 et 120 nm. Ceci nous a permis de dire que l'utilisation de diélectrique high-k contribue à la réduction des canaux courts (DIBL).

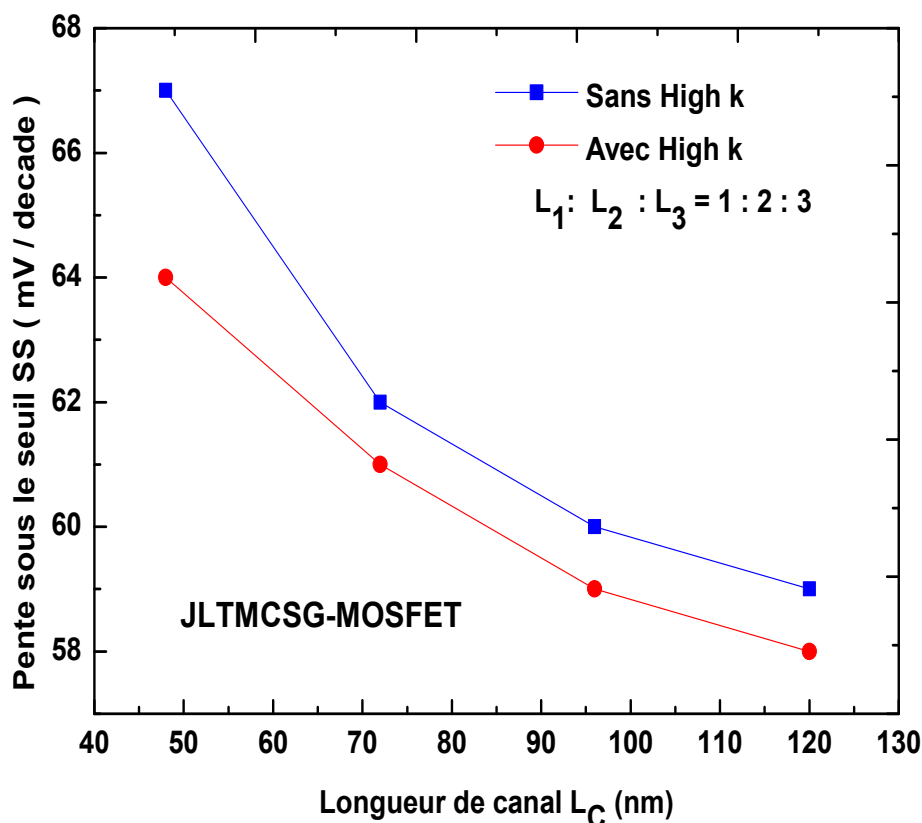


**Fig.IV.11** Abaissement de la barrière d'injection source-drain due à la tension de drain (DIBL) en fonction de la longueur de canal  $L_C$  pour différents longueurs de canal, avec les paramètres de simulation:  $R = 10 \text{ nm}$ ,  $t_{ox} = 1 \text{ nm}$  et  $V_{ds \text{ faible}} = 0,05 \text{ V}$ ,  $V_{ds \text{ élevée}} = 1 \text{ V}$ .

#### IV.4.5 La pente sous-seuil (SS)

La figure IV.12 montre la tension SS de la structure JLTMCSG-MOSFETs avec et sans diélectrique high-k pour différentes longueurs de canal. On a constaté une diminution du SS quand la longueur du canal augmente.

En effet, l'utilisation du diélectrique high-k réduit significativement la tension SS pour la longueur du canal égale à 120 nm.

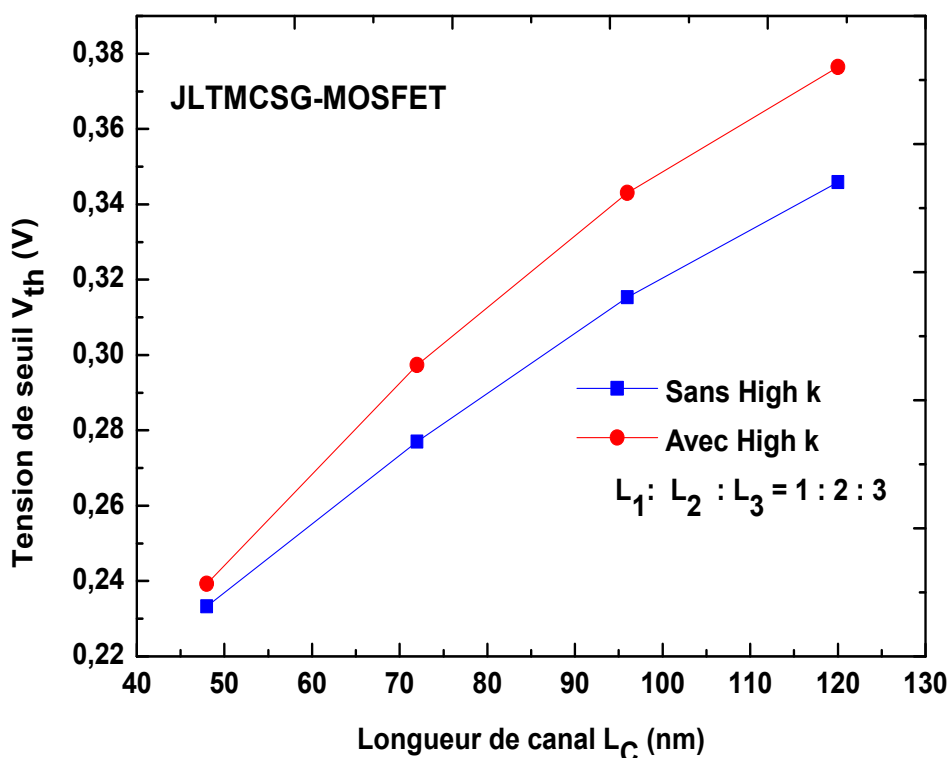


**Fig.IV.12** Évolution de la pente sous-seuil (SS) en fonction de la longueur de canal  $L_C$  pour différentes longueurs du canal, avec les paramètres de simulation:  $R = 10$  nm ,  $t_{ox} = 1$  nm et

$$V_{ds \text{ faible}} = 0,05 \text{ V}, V_{ds \text{ élevée}} = 1 \text{ V}.$$

#### I.4.6 La tension de seuil ( $V_{th}$ )

La variation de la tension de seuil par rapport à la longueur du canal est présentée sur la figure IV.13 avec et sans diélectrique à grille  $k$  élevée. À partir de cette figure, nous pouvons facilement observer l'effet de l'introduction d'un matériau à  $k$  élevé comme diélectrique de grille sur la tension de seuil. Par conséquent, les JLTMCSSGMOSFET avec un diélectrique à grille  $k$  élevée ont une tension de seuil supérieure, même la longueur du canal passe de 48 à 120 nm. Ainsi, l'ingénierie de l'oxyde de grille est un facteur important pour améliorer les performances du dispositif.



**Fig.IV.13** Évolution de la tension de seuil ( $V_{th}$ ) en fonction de la longueur de canal  $L_C$  pour différentes longueurs du canal, avec les paramètres de simulation:  $R = 10$  nm,  $t_{ox} = 1$  nm,  $V_{gs} = 0,3$  V et  $V_{ds} = 0,5$  V.

Dans cette deuxième partie nous avons énuméré quelques nouvelles solutions pour faire face aux effets parasites liés à la miniaturisation. En effet, une simple réduction d'échelle est insuffisante pour continuer d'améliorer les performances du transistor MOS, il est donc envisagé d'introduire de nouvelles architectures et de nouveaux matériaux.

Pour ce faire et afin d'améliorer les performances du transistor à faible dimension, nous avons implémenté une couche d'oxyde ayant une valeur de permittivité élevée (high-k) entre le l'oxyde et la grille. Cette couche a permis de diminuer l'effet de l'auto-échauffement du composant et par conséquence l'amélioration de fonctionnement du transistor pour des tensions très élevées.

Les résultats obtenus peuvent jouer un rôle important dans le domaine de la modélisation et la réalisation des circuits de puissance (hacheurs, redresseur, onduleur ...).

Ce qu'il y a à retenir dans cette partie est que l'intégration d'un diélectrique "high-k" au niveau de l'empilement de grille constitue une solution pour limiter les courants de fuites à travers

l'oxyde de grille. Une autre solution très prometteuse pour augmenter la vitesse des porteurs, consiste à incorporer un film de silicium contraint au niveau du canal.

Pour conclure nous dirons que le courant sous-seuil est plus petit lorsque nous utilisons un diélectrique à grille  $k$  élevée par rapport au courant sous-seuil obtenu avec l'oxyde  $\text{SiO}_2$ .

En outre, nous avons constaté que le DIBL diminue considérablement avec l'augmentation de la longueur du canal, une meilleure réduction peut être obtenue pour un appareil avec l'oxyde de diélectrique à grille  $k$  élevée. De plus les résultats élucident l'influence de l'oxyde de grille à haut  $k$  sur les SS et  $V_{th}$ . Une meilleure réduction de la SCE et une amélioration de la fiabilité de l'appareil ont également été observées.

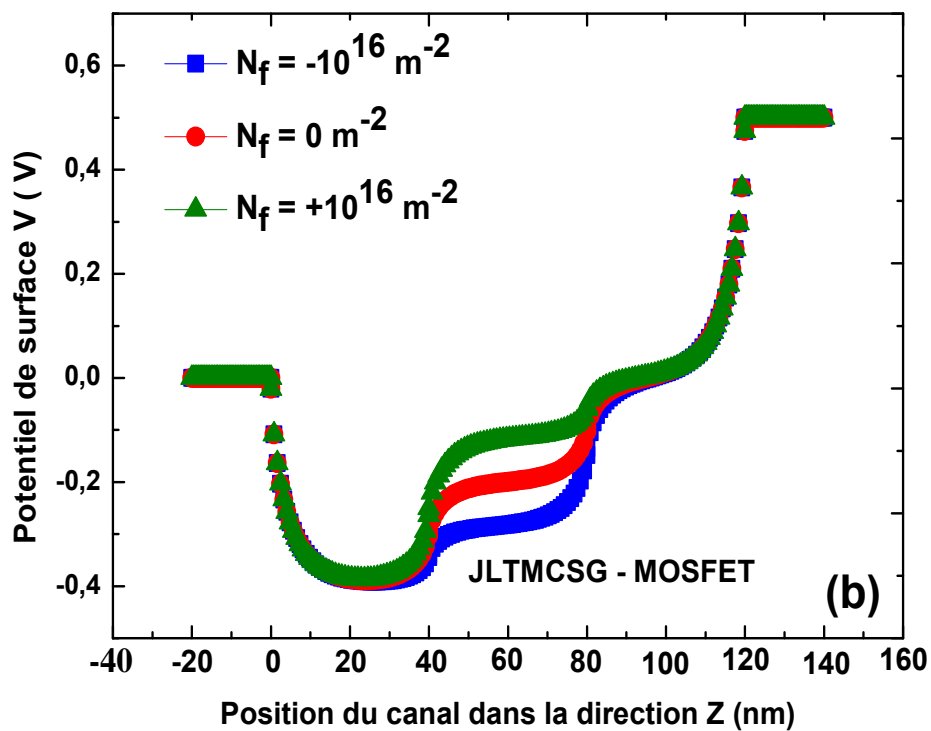
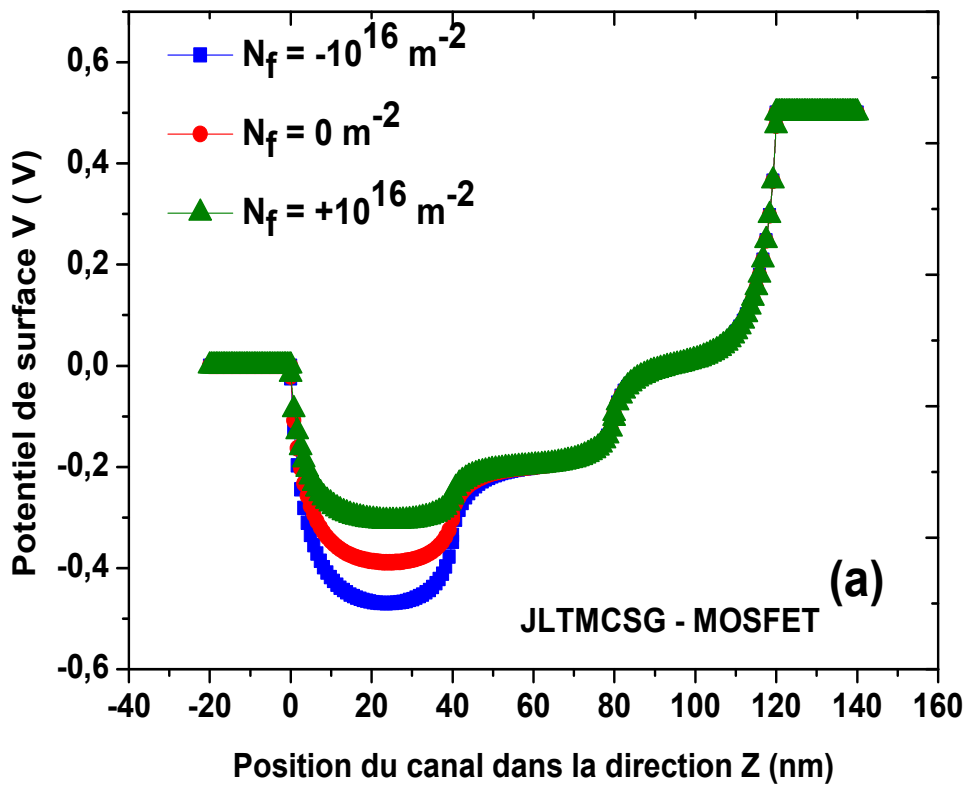
### **IV.5 Etude de l'effet des pièges des charges de l'interface sur les performances de JLCSG-MOSFET [16]**

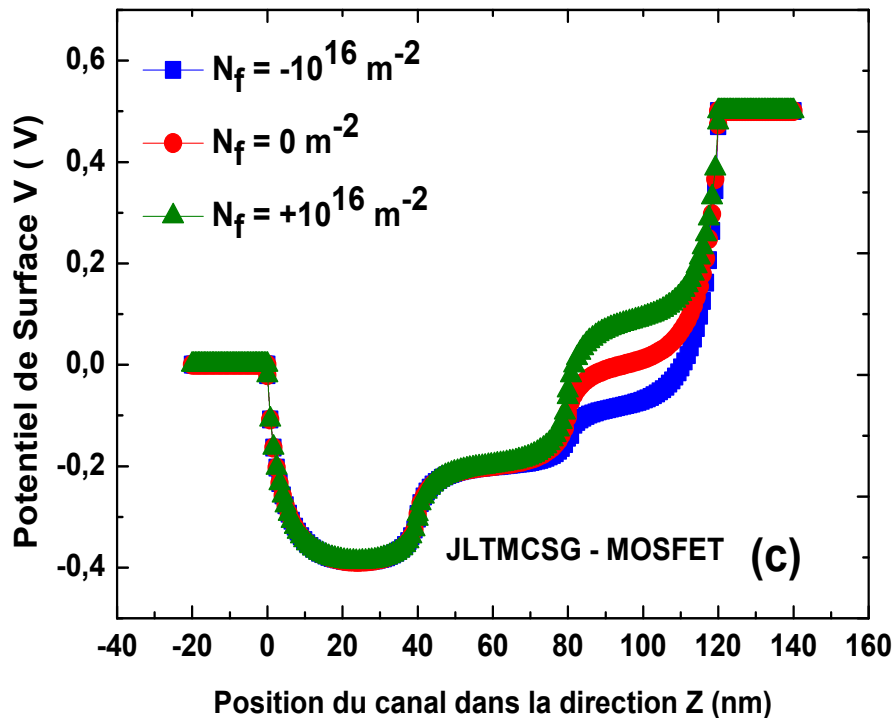
#### **IV.5.1 Le potentiel de surface**

Les charges localisées à l'interface provoquent une flexion supplémentaire sous la grille, qui à son tour provoque un changement dans la tension de bande plate dans le dispositif endommagé. Ce changement induit un décalage de la tension de seuil et modifie le minimum de potentiel de surface ainsi que sa position et induit ainsi un changement dans la tension de seuil. Le décalage de la tension de seuil dépend de la variation du potentiel de surface minimum.

La figure IV.14 montre le profil de potentiel de surface de avec les pièges des charges: à côté de la source au centre et à côté du drain. Pour les charges d'interfaces localisées positivement (négativement), le potentiel de surface est supérieur (inférieur) dans la région endommagé car la tension de la bande plate dans la région endommagée diminue (augmente) en fonction de la nature des charges localisées. Concernant la densité de charge négative, le potentiel de la surface minimum apparait dans la région endommagée.

En raison de la présence des charges localisées d'interface, un changement dans la répartition des charges sous la grille s'établit, entraînant une modification du potentiel de surface minimum et donc la tension de seuil de l'appareil. Il modifie également la mobilité et la vitesse moyenne des porteuses dans le canal, qui conduit à la modification du courant de drain.

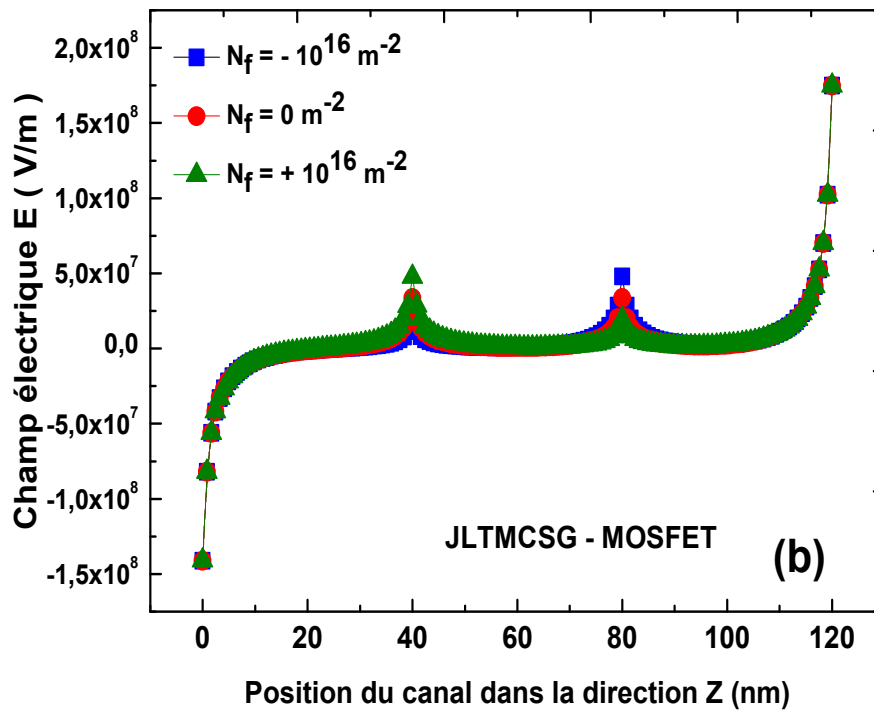
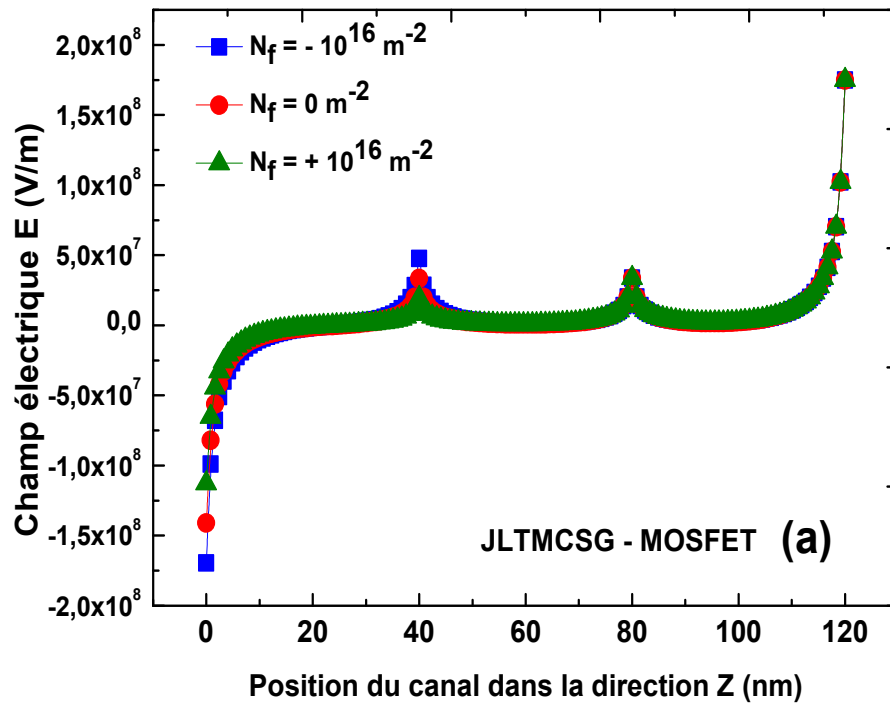


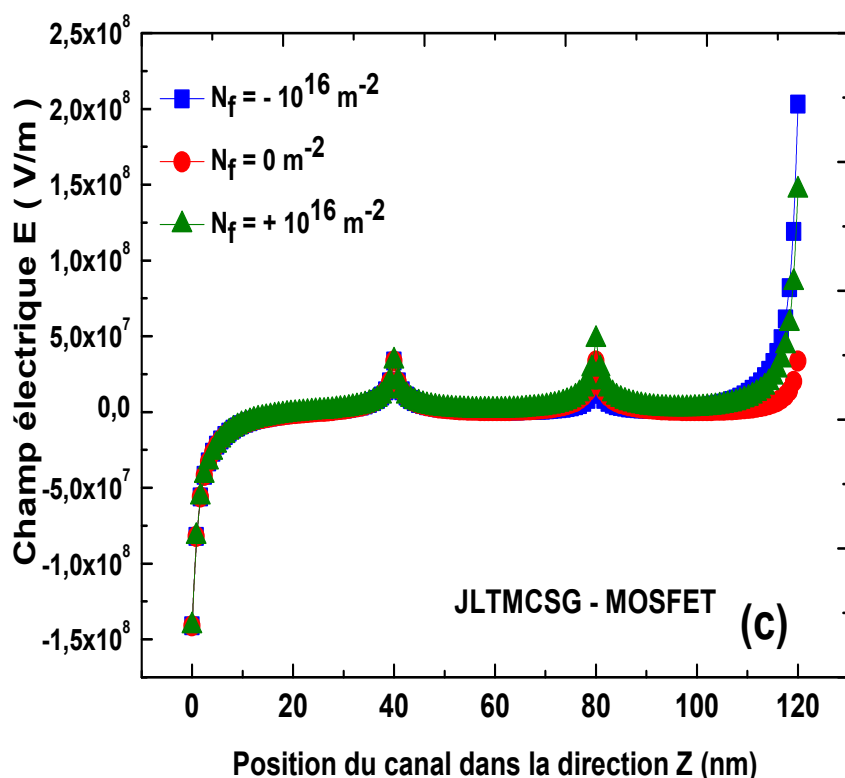


**Fig.IV.14** Potentiel de surface de JLTMCSSG-MOSFETs pour différentes densités des charges piégées situé à côté de: (a): Source, (b): Centre, (c): Drain, avec les paramètres de simulation:  
 $L_c = 120 \text{ nm}$  ,  $R = 10 \text{ nm}$  ,  $t_{ox} = 1 \text{ nm}$  ,  $V_{gs} = 0,2 \text{ V}$  et  
 $V_{ds} = 0,5 \text{ V}$ .

#### IV.5.2 Le champ électrique

La variation du champ électrique en fonction de la position du canal dans la direction  $z$  avec la densité de charge comme paramètre est représenté dans la figure IV.15. Deux pics de champ électrique apparaissent où les pièges des charges sont localisées, ce qui signifie que nous avons un meilleur champ électrique dans le canal, ce qui donne plus d'accélération aux électrons et améliore le transport des porteurs dans le canal.



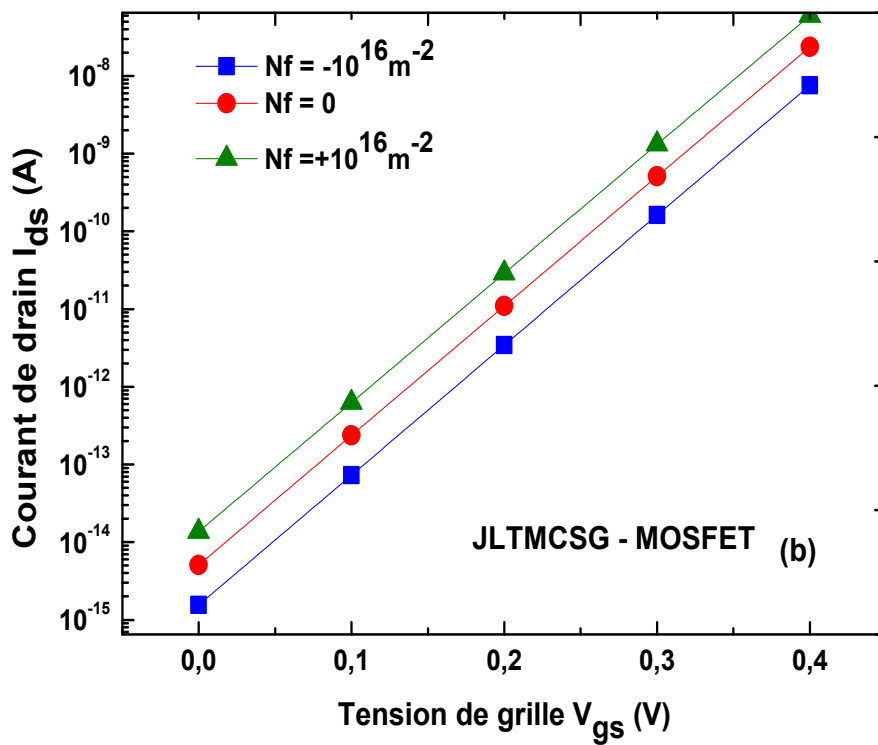
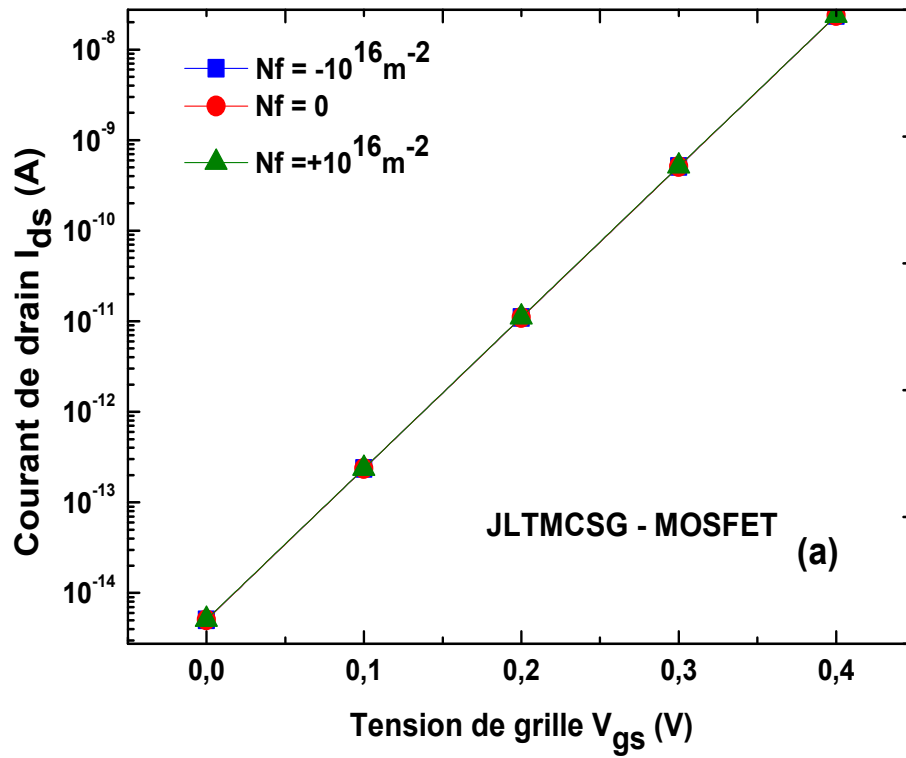


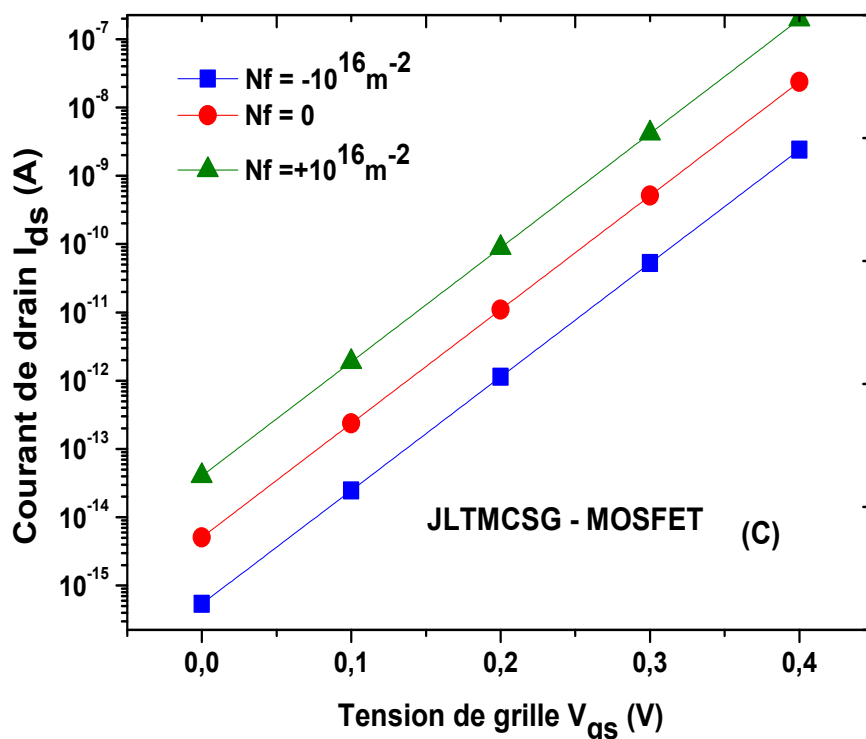
**Fig.IV.15** Champ électrique de JLTMCSSG-MOSFETs pour différentes densités des charges piégées situé à coté de: (a): Source, (b): Centre, (c): Drain, avec les paramètres de simulation:  $L_c = 120$  nm ,  $R = 10$  nm ,  $t_{ox} = 1$  nm ,  $V_{gs} = 0,2$  V et  $V_{ds} = 0,5$  V.

#### IV.5.3 Le courant de drain $I_{ds}$

Les résultats de la simulation obtenus dans le cadre de notre composant d'étude sur la caractéristique de transfert  $I_{ds}(V_{gs})$  sont représentés sur la figure IV.16, et ceci pour les trois positions des charges piégées pour différentes densités.

Nous observons sur cette figure que le courant de drain  $I_{ds}$  augmente avec l'augmentation de la tension de grille  $V_{gs}$ . Les figures IV.16 (b) et IV.16 (c) montrent que l'effet des pièges des charges est significatif. On remarque que la densité des charges positive donne des valeurs de courant de drain plus grands par rapport aux valeurs obtenues avec la densité des charges négative. On a aussi que les pièges des charges situés au milieu du canal diminuent le courant de fuite.



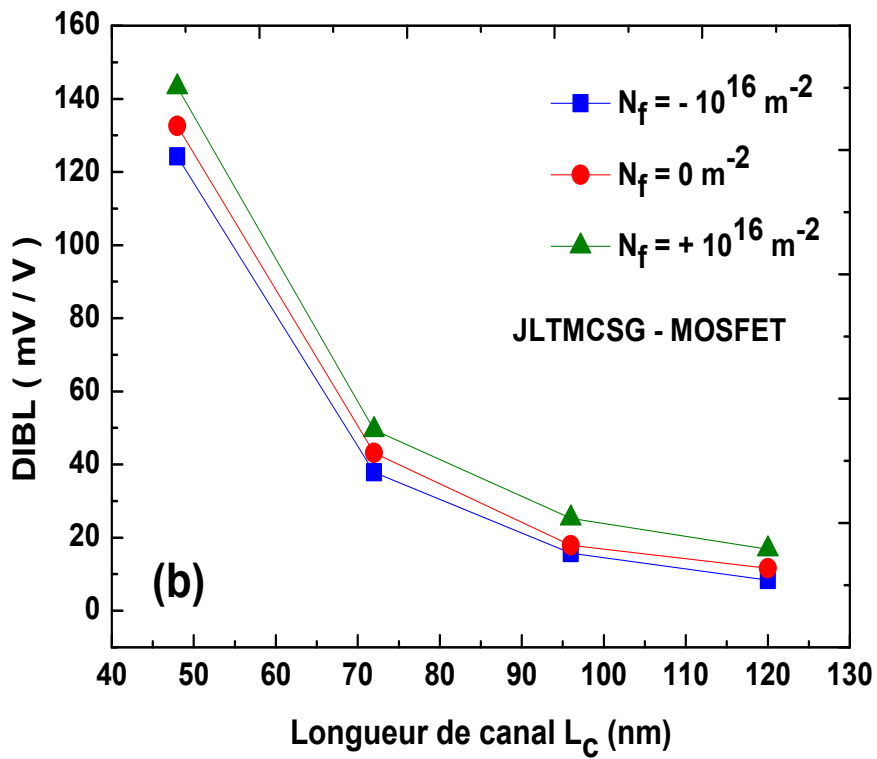
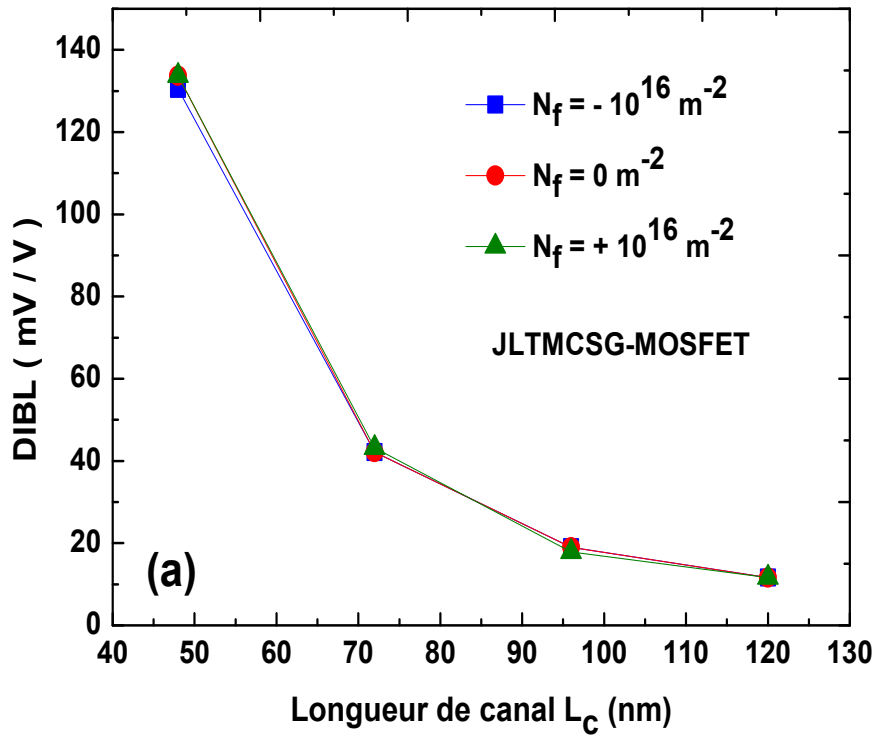


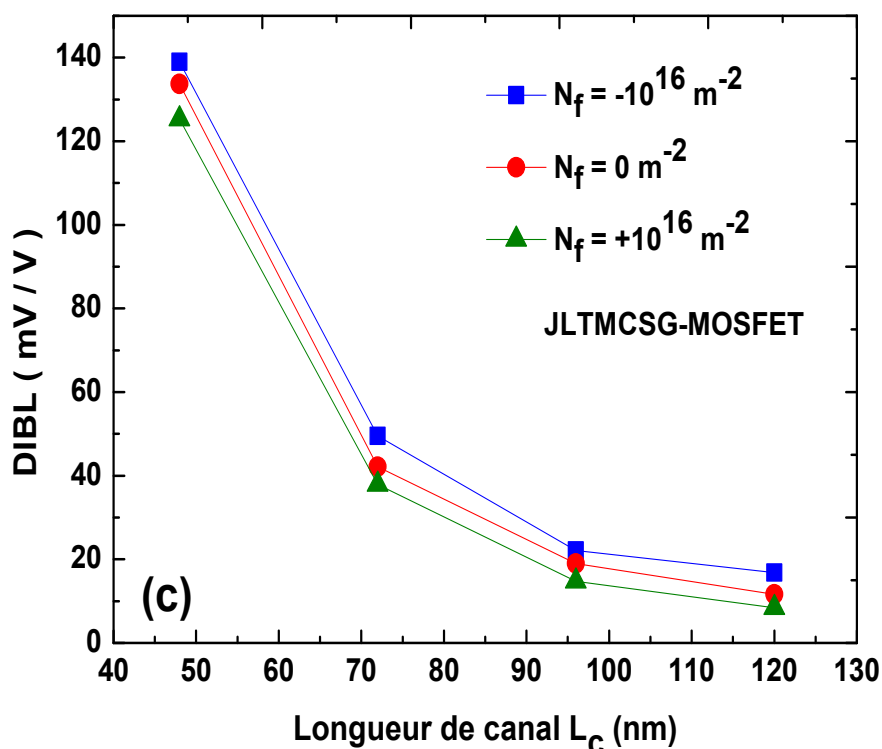
**Fig.IV.16** Caractéristiques courant tension I-V du transistor JLTMCSSG-MOSFETs pour différentes densités des charges piégées situé à coté de: (a): Source, (b): Centre, (c): Drain, avec les paramètres de simulation:  $R=10$  nm,  $t_{ox} = 1$  nm et  $V_{ds}=0.5V$ .

#### IV.5.4 La barrière d'injection source-drain due à la tension de drain (DIBL)

Dans la figure IV.17, nous avons représenté la variation du DIBL en fonction de la longueur du canal pour différents pièges de charges localisés (dispositif non endommagé et endommagé). Nous avons remarqué que le DIBL diminue lorsque la longueur du canal augmente.

Pour les canaux de faible longueur, l'influence des densités des charges piégées est négligeable dans le cas des dommages des régions localisées près de la source, si non, nous avons un changement de DIBL lorsque les charges piégées sont situées près du drain et au centre de dispositif. Une valeur faible de DIBL (environ 8 mV / décade) est observée dans le cas d'un long canal, lorsque les pièges des charges sont situées au milieu et près du drain du dispositif. Nous remarquons que, le DIBL est plus sensible à la longueur de canal où l'effet de la tension de drain apparaît dans le dispositif à canal court, d'autre part, ce sont ceux affectés aux charges piégées.



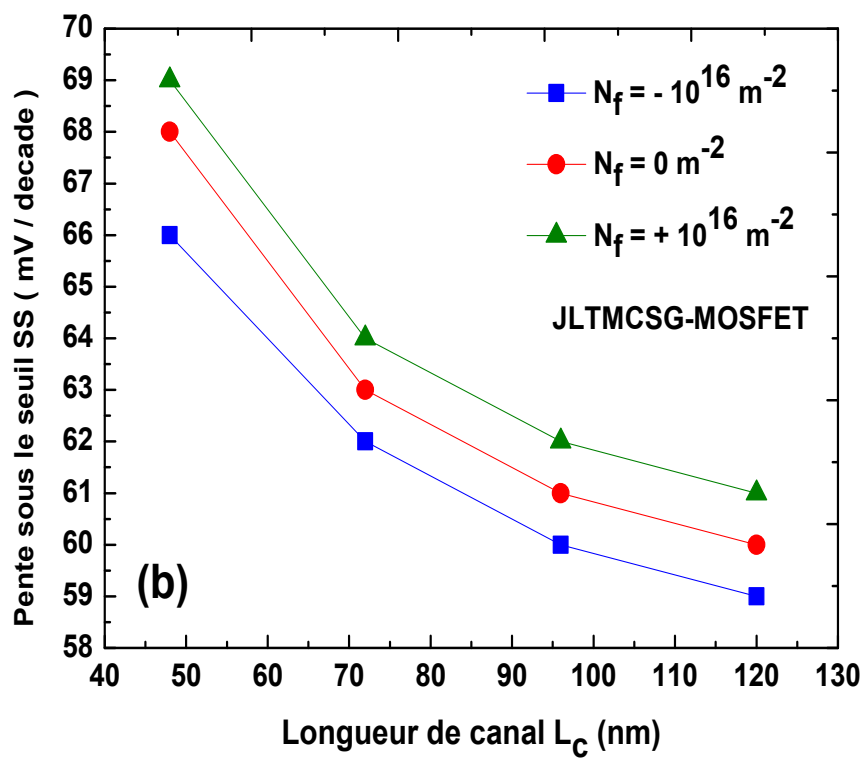
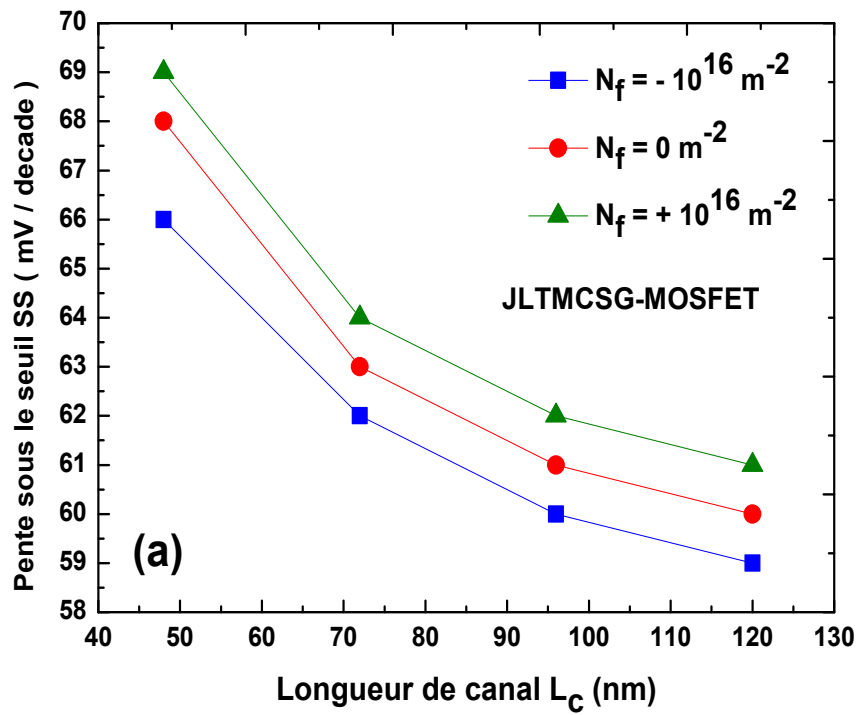


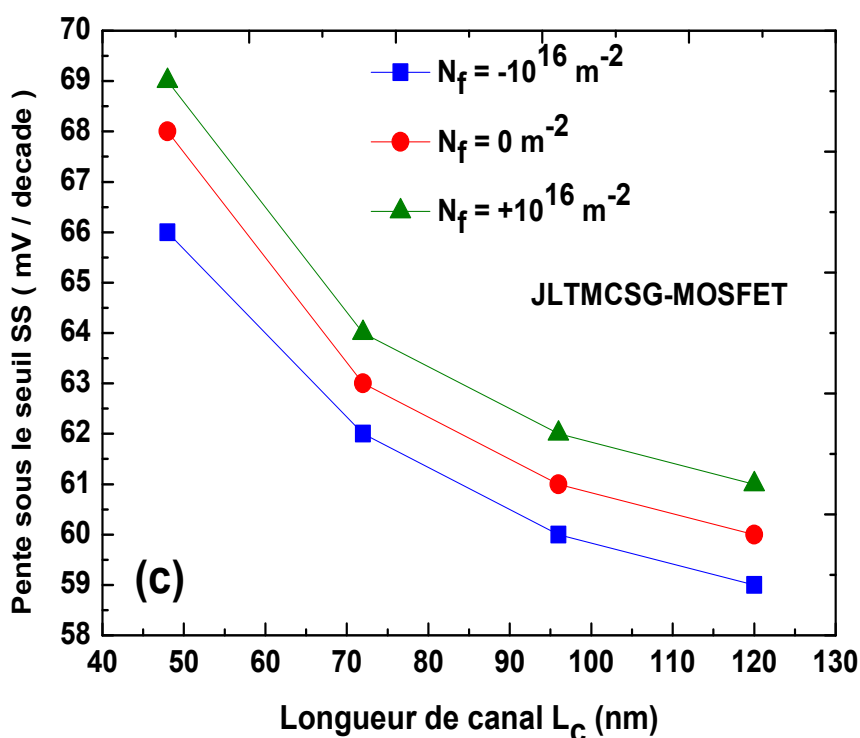
**Fig.IV.17** Abaissement de la barrière d'injection source-drain due à la tension de drain (DIBL) en fonction de la longueur de canal  $L_c$  pour différentes densités des charges piégées situé à coté de: (a): Source, (b): Centre, (c): Drain, avec les paramètres de simulation:  $R = 10 \text{ nm}$ ,  $t_{ox} = 1 \text{ nm}$  et

$$V_{ds \text{ faible}} = 0,05 \text{ V}, V_{ds \text{ élevée}} = 1 \text{ V}.$$

#### IV.5.5 La pente sous-seuil (SS)

La figure IV.18 montre la variation de la pente du sous-seuil en fonction de la longueur du canal, elle indique que celle-ci diminue lorsque la longueur du canal augmente et qu'elle est supérieure (inférieure) dans le cas de densités des charges localisées positives (négatives). Sur toute la longueur du canal, nous pouvons noter que le décalage SS est d'environ 4% lorsque les charges localisées changent de signe, du signe positif au signe négatif. De plus, nous avons calculé le SS pour les charges localisées près du source, près du drain et au centre de transistor, les mêmes résultats sont obtenus. Cela confirme que la pente du sous-seuil est indépendante de la position des pièges des charges. Ces variations sont liées à l'amélioration du courant inférieur au seuil.

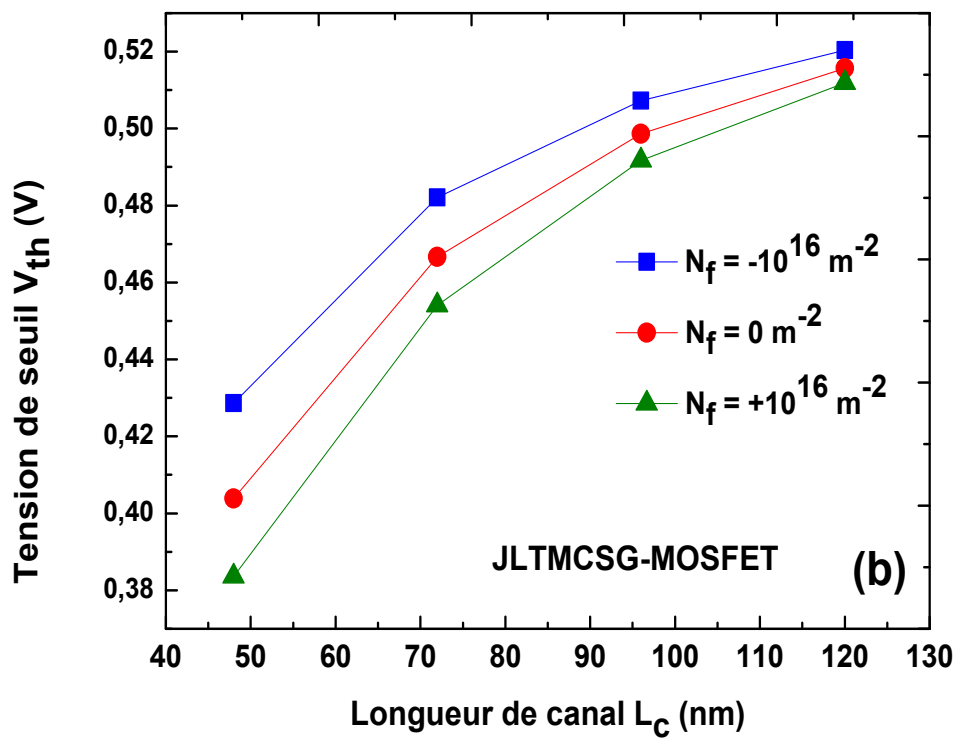
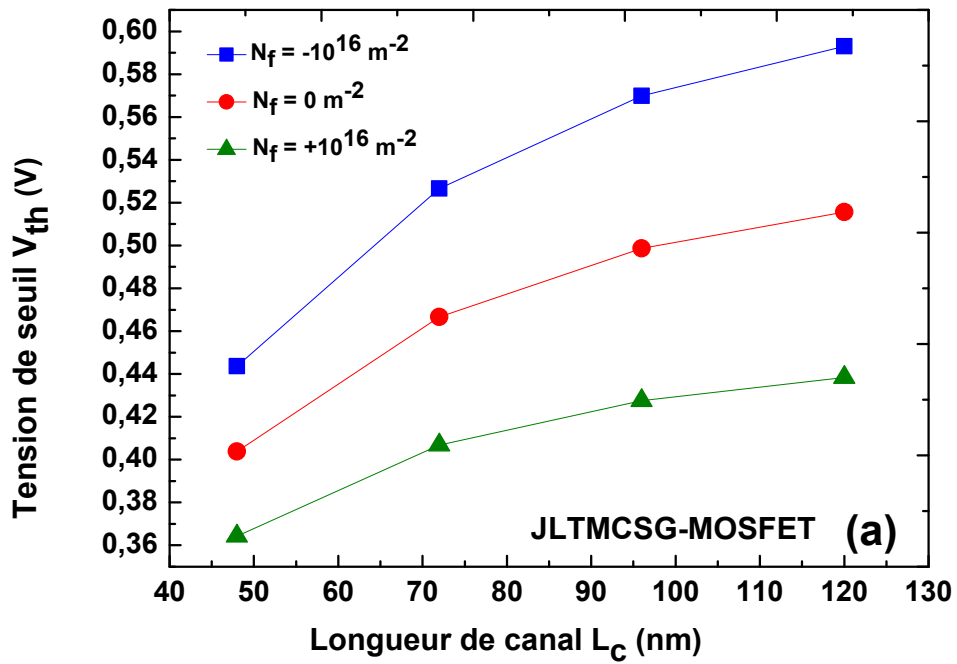


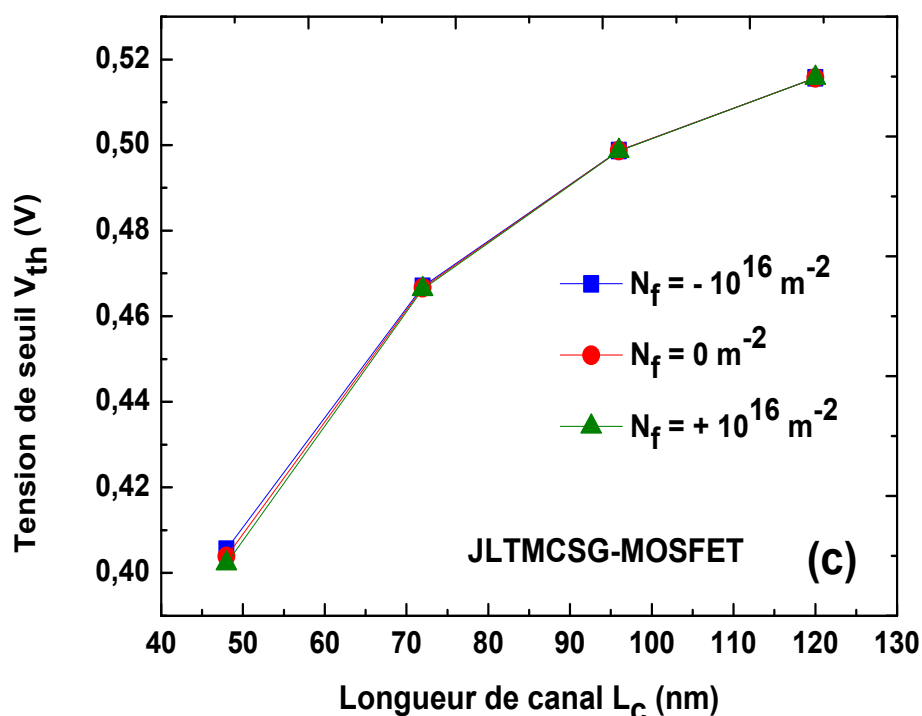


**Fig.IV.18** Évolution de la pente sous le seuil (SS) en fonction de la longueur de canal  $L_C$  pour différentes densités des charges piégées situées à côté de: (a): Source, (b): Centre, (c): Drain, avec les paramètres de simulation:  $R = 10 \text{ nm}$ ,  $t_{ox} = 1 \text{ nm}$  et  $V_{ds \text{ faible}} = 0,05 \text{ V}$ ,  $V_{ds \text{ élevée}} = 1 \text{ V}$ .

#### IV.5.6 La tension de seuil ( $V_{th}$ )

La figure IV.19 montre la variation de la tension de seuil  $V_{th}$  (avec et sans pièges des charges) en fonction de la longueur de canal: l'augmentation de la longueur de canal entraîne une augmentation de la tension de seuil, ce qui améliore le contrôle de grille dans la région de canal. De plus, nous avons étudié les effets de la densité des charges piégées sur les MOSFET JLTMCSSG. Dans le cas des pièges des charges localisées près de la région source (Fig. IV.19.a), l'effet des pièges des charges à l'interface est significatif. Des valeurs plus élevées de  $V_{th}$  sont obtenues pour les charges de signe négatif. En revanche, lorsque les pièges des charges sont localisées au centre du canal (Fig. IV.19.b), l'effet de ces dernières est plus faible. Cependant, dans le cas des pièges des charges localisées près de la région du drain (Fig. IV.19.c), nous enregistrons un effet négligeable.





**Fig.IV.19** Évolution de la tension de seuil ( $V_{th}$ ) en fonction de la longueur de canal  $L_c$  pour différentes densités des charges piégées situé à coté de: (a): Source, (b): Centre, (c): Drain, avec les paramètres de simulation:  $R = 10 \text{ nm}$ ,  $t_{ox} = 1 \text{ nm}$ ,  $V_{gs} = 0,3 \text{ V}$  et  $V_{ds} = 0,5 \text{ V}$ .

Pour conclure cette dernière partie nous avons mis le point sur les résultats les plus importants tel que l'impact de la densité des charges piégées localisés à l'interface Si-SiO<sub>2</sub> sur la performance électrique du JLTMCSSGMOSFET. Il a été observé que la présence de ces pièges provoque un changement dans le profil du potentiel. Nous avons également concentré notre travail sur le champ électrique, où nous avons observé deux pics partout où se situent les pièges des charges. D'autre part les résultats montrent que l'effet de l'interface localisée (charges piégées sur le drain) induit l'abaissement de la barrière (DIBL) et son effet sur la pente sous-seuil, considéré faible pour différentes longueurs de canal. Cependant, son effet sur la tension de seuil devient plus important lorsque les charges piégées sont localisées près de la région source.

### **IV.6 Conclusion**

Dans ce chapitre, nous avons présenté les résultats de simulation que nous avons entrepris. Nous avons focalisé l'étude sur l'amélioration des performances électriques d'un transistor JLTMCSSG-MOSFET. Pour cela, nous avons effectué une simulation électrique afin de comprendre la physique du composant. De plus, il est évident qu'avec la réduction de la taille des composants, une simple description unidimensionnelle est insuffisante, les simulations 2D devenant alors indispensables pour une description précise des phénomènes mis en jeu.

Une étude comparative des performances de nos modèles analytiques avec celle retrouvées en littérature a permis de conclure que nos résultats sont en accord avec les travaux de recherche actuels. Les résultats obtenus ont aussi démontré l'opportunité de cette étude pour diverses applications.

## *Références bibliographiques du Chapitre IV*

- [1] Chiang. T. K, "A new compact subthreshold behavior model for dual-material surrounding gate (DMSG) MOSFETs". Solid-State Electronics, 53(5), 490-496, 2009.
- [2] Kim. J.J, Roy. K, "Double gate-MOSFET subthreshold circuit for ultralow power applications". IEEE Transactions on Electron Devices, 51(9), 1468-1474, 2004.
- [3] Lagraf. F, Rechem. D, Guergouri. K, Khial. A, "A two dimensional analytical model study of the performance of junctionless trialmaterial cylindrical surrounding-gate MOSFET". International Semiconductor Conference (CAS); 2016, Romania, 10-12 October 2016, 195-198.
- [4] Belhadji. A, Mébarki. B, "Etude et modélisation d'un transistor MOSFET multigrille". Mémoire de Master, université Dr Moulay Tahar de Saïda, 2016.
- [5] Rechem. D, Khial. A, Azizi. C, Djeflal, F, "Impacts of high-k gate dielectrics and low temperature on the performance of nanoscale CNTFETs". Journal of Computational Electronics, 15(4), 1308-1315, 2016.
- [6] Arefinia. Z, Orouji. A.A, "Investigation of the novel attributes of a carbon nanotube FET with high-k gate dielectrics". Physica E, vol. 40, pp. 3068-3071, May. 2008.
- [7] Lagraf. F, Rechem.D, Guergouri. K, Zaabat. M, "Channel Length Effect on Subthreshold Characteristics of Junctionless Trial Material Cylindrical Surrounding-Gate MOSFETs with High-k Gate Dielectrics". Journal of Nano- and Electronic Physics (JNEP), Vol. 11 No 2, 02011(5pp) (2019).
- [8] Intel, "Intel's High-k/Metal gate Announcement", <http://www.intel.com/>, 2003.
- [9] Wilk. G.D, Wallace. R.M, Anthony. J, "High-k gate dielectrics: current status and materials properties considerations". Journal of applied physics, 89(10), 5243-5275, 2001.
- [10] Robertson. J, Peacock. P.W, "Atomic structure, band offsets, growth and defects at high- K oxide: Si interfaces". Microelectronic Engineering, 72(1-4), 112-120, 2004.
- [11] Lucovsky. G, Phillips. J.C, "Defects and defect relaxation at internal interfaces between high-k transition metal and rare earth dielectrics and interfacial native oxides in metal oxide semiconductor (MOS) structures". Thin Solid Films, 486(1-2), 200-204, 2005.
- [12] Fischetti. M, Neumayer. D, Cartier. E, "Effective electron mobility in Si inversion layers in MOS systems with a high-k insulator: The role of remote phonon scattering". J. Appl. Phys, 90(9), 4587, 2001.

- [13] Lujan. G.S, Magnus. W, Ragnarsson. L.Å, Kubicek. S, De Gendt. S, Heyns. M, & De Meyer. K, "Modelling mobility degradation due to remote Coulomb scattering from dielectric charges and its impact on MOS device performance". *Microelectronics Reliability*, 45(5-6), 794-797, 2005.
- [14] Hobbs. C, Fonseca. L, Dhandapani. V, Samavedam. S, Taylor. B, Grant. J, ... & Garcia. R, "Fermi level pinning at the polySi/metal oxide interface. In 2003 Symposium on VLSI Technology". *Digest of Technical Papers (IEEE Cat. No. 03CH37407)* (pp. 9-10). IEEE, June 2003.
- [15] Chowdhury. N.A, Bersuker. G, Young. C, Choi. R, Krishnan. S, Misra. D, "Breakdown characteristics of nFETs in inversion with metal/HfO<sub>2</sub> gate stacks". *Microelectronic Engineering*, 85(1), 27-35, 2008.
- [16] Lagraf. F, Rechem. D, Guergouri. K, "Study of interface trapped charges effect on performance of junction less trial material cylindrical surrounding-gate MOSFETs". *Journal of New Technology and Materials (JNTM)*, Vol. 11 No 2, 02011(5pp) (2019).

# Conclusion générale

# Conclusion générale

Le nombre grandissant de défis à relever au quotidien pour lutter contre les effets de canaux courts dans les prochaines générations de transistors MOSFET conventionnels sur est très impressionnant. De ce fait, il devient alors nécessaire de développer de nouvelles architectures de transistors MOSFET à grille multiples. Dans ce contexte, le travail présenté dans cette thèse a été principalement consacré à l'étude et la modélisation de transistor JLTMCSG-MOSFET. Nous nous sommes intéressés d'une part à mettre en évidence l'impact de la miniaturisation sur les performances électriques de ce transistor.

Ainsi, nous avons commencé par présenter les transistors à effet de champ, l'intérêt de la miniaturisation des transistors et les principaux effets issus de la réduction des dimensions, puis nous avons présenté les solutions technologique proposées par les technologues pour réduire les problème provoqué par la miniaturisation des transistors. Parmi ces solutions émergent les transistors à grilles multiples. Nous avons également discuté des structures émergentes de MOSFETs, tel que les transistors à grilles multiples. Ces nouveaux composants jouent un rôle très important dans l'avenir de la nanoélectronique, à titre d'exemple citons les transistors à grille cylindrique. Un accent particulier a été mis sur le cas prometteur du transistor: JLTMCSG-MOSFET, qui représente l'objet principal de cette étude.

L'ensemble des résultats a été obtenu par simulation grâce à un modèle analytique élaboré par le logiciel MATLAB.

Le modèle utilisé est basé sur la solution exacte de l'équation de Poisson bidimensionnel en coordonnées cylindriques. Une validation du modèle a été réalisée par confrontation avec des travaux théoriques antécédents, ce qui a conduit à une bonne concordance et la suggestion de ce modèle pour de telles utilisations.

Les résultats obtenu ont porté sur: L'effet de la longueur du canal  $L_c$ , l'effet des diélectriques élevés  $k$  (High  $k$ ) et l'effet des pièges des charges de l'interface sur les performances du JLTCSG-MOSFET. Les principaux résultats obtenus se présentent comme suit:

- ❖ Le JLTMCSG-MOSFET peut améliorer efficacement les performances du dispositif en termes d'abaissement de la barrière induite par le drain (DIBL) et la pente de sous-seuil (SS). On a également conclu que la structure ( $L_1: L_2: L_3 = 1: 2: 3$ ) s'avère être la plus recommandée pour réduire les effets des canaux courts.

## CONCLUSION GENERALE

---

- ❖ L'intégration d'un diélectrique (High k) au niveau de l'empilement de grilles constitue une solution pour limiter les courants de fuites à travers l'oxyde de grille.
- ❖ Le courant sous-seuil est inférieur lorsque nous utilisons un diélectrique à grille k élevée par rapport au courant sous-seuil obtenu avec l'oxyde SiO<sub>2</sub>.
- ❖ Le potentiel électrostatique de surface dans la région du canal situé près de la source est un peu plus élevé quand on utilise le diélectrique high-k, et un champ électrique plus élevé est donc obtenu.
- ❖ La présence des pièges des charges localisées à l'interface Si-SiO<sub>2</sub> provoque un changement dans le profil du potentiel. Pour le champ électrique, on a deux pics partout où les charges de piège sont situées.
- ❖ L'abaissement de la hauteur de barrière induite par le drain (DIBL).
- ❖ L'influence des principaux paramètres du transistor tels que la longueur du canal, la permittivité diélectrique k (high k) et la position des pièges de charges et leur densité. Nous avons constaté que l'effet DIBL diminue, on a relevé une réduction importante quand la longueur du canal varié entre 48 et 120 nm en utilisant le diélectrique high-k pour la structure (L<sub>1</sub>: L<sub>2</sub>: L<sub>3</sub> = 1: 2: 3).
- ❖ Une valeur faible de DIBL (environ 8 mV / décade) a été trouvée dans le cas d'un long canal, lorsque les pièges des charges sont situées au milieu et près du drain de transistor. Nous remarquons que, le DIBL est plus sensible à la longueur de canal où l'effet de la tension de drain apparaît dans le dispositif à canal court.
- ❖ Lorsque L<sub>c</sub> devient égale à 96 nm la pente sous-seuil (SS) s'éloigne de la valeur idéale (60 mV/décade) et la structure (L<sub>1</sub>: L<sub>2</sub>: L<sub>3</sub>= 1: 2: 3) subit une dégradation importante.
- ❖ Une diminution importante de V<sub>th</sub> pour L<sub>c</sub> égale à 48 nm de la structure (L<sub>1</sub> : L<sub>2</sub> : L<sub>3</sub>= 1 :2 :3).
- ❖ Pour les pièges des charges localisées près de la région source, l'effet des pièges des charges de l'interface est significatif. Des valeurs plus élevées de V<sub>th</sub> sont obtenues pour les charges de signe négatif. En revanche, lorsque les pièges des charges sont localisées au centre du canal, l'effet de ces dernières est plus faible. Cependant, dans le cas des pièges des charges localisées près de la région du drain, nous enregistrons un impact négligeable.

### **Perspectives**

Bien que l'application majeure de cette étude concerne les dispositifs JLTMCSSG-MOSFET, on s'attend à ce qu'elle soit appliquée également aux dispositifs Junction Less Four Matériel Cylindrical Surrounding Gate-MOSFETs, et également il est envisageable son application à l'étude de l'effet des pièges des charges sur les transistors CNTFET.

**Annexe**

## **Organigramme du programme de la modélisation analytique de transistor JLTMCSSG-MOSFET**

Paramètres utilisés :

$T, q, K_B, \bar{h}, U_T, V_{bi}, R, C_{ox}, \chi_{Si}, E_g, L_1, L_2, L_3, \phi_1, \phi_2, \phi_3, n_i, N_D, N_f, N_1, N_2, N_3, t_{ox} (SiO_2),$   
 $t_{ox} (HK), t_{ox\ eff}, t'_{ox}, \epsilon_0, \epsilon_{Si}, \epsilon_{Ox}, \epsilon_{Ox\ HK} .$

Solution de l'équation de Poisson dans les trois régions du canal

Formule de mobilité

L'équation Newton-Raphson

Les constantes du modèle

Calcul du courant  $I_{ds}$

Calcul du Potentiel électrostatique

Calcul du champ électrique

Calcul de la tension de seuil  $V_{th}$

Calcul de la barrière d'injection source-drain due à la tension de drain DIBL

Calcul de la pente sous-seuil SS

# Liste des publications et communications

## Productions scientifiques

### Publications

- 1- **Lagraf. F, Rechem. D, Guergouri. K, khial. A** "A two dimensional analytical model study of the performance of junctionless tri-material cylindrical surrounding-gate MOSFET". International Semiconductor Conference (CAS); 2016, Romania, 10-12 October 2016, 195-198. doi: 10.1109/SMICND.2016.7783083.
- 2- **Lagraf. F, Rechem. D, Guergouri. K, Zaabat. M** "Channel Length Effect on Subthreshold Characteristics of Junctionless Tri Material Cylindrical Surrounding-Gate MOSFETs with High-k Gate Dielectrics". Journal of Nano- and Electronic Physics (JNEP), Vol. 11 No 2, 02011(5pp) (2019).
- 3- **Lagraf. F, Rechem. D, Guergouri. K** "Study of interface trapped charges effect on performance of junction less tri material cylindrical surrounding-gate MOSFETs". Journal of New Technology and Materials (JNTM), Vol. 11 No 2, 02011(5pp) (2019).

### Communications

- 1- **Lagraf. F, Rechem. D, Guergouri. K, khial. A** "Analytical modeling of Dielectric Pocket Double-Gate MOSFET". Journée nationale des matériaux (10 juin 2014, Université d'Oum El Bouaghi).
- 2- **Lagraf. F, Rechem. D, Guergouri. K, khial. A** "A new approach to analytical solution of two-dimensional Poisson equation and its application in the Junctionless Surrounding-Gate transistors modeling". La première conférence nationale sur les systèmes dynamiques, équation différentielles et applications (10 et 11 mars 2015, Université d'Oum El Bouaghi).
- 3- **Lagraf. F, Rechem. D, Guergouri. K, khial. A** "Analytical model for subthreshold current, surface potential and electrical field of Junctionless Surrounding-Gate transistors". 2 èmes Journées d'étude des jeunes scientifiques (24 et 25 mai 2015, Université Batna).
- 4- **Lagraf. F, Rechem. D, Guergouri. K, khial. A** "Analytical model for subthreshold current, threshold voltage and subthreshold swing of Junctionless Surrounding-Gate MOSFETs". Journée nationale des matériaux et leurs applications (08 juin 2015, Université d'Oum El Bouaghi ).
- 5- **Lagraf. F, Rechem. D, Guergouri. K, khial. A** "New Analytical Model for short-channel junctionless tri-material cylindrical surrounding gate (JLTMCSG) MOSFETs". 1<sup>ère</sup> Journée nationale les Sciences Analytiques Matériaux et Environnement (05 juin 2016, Université d'Oum El Bouaghi).

- 6- **Lagraf. F, Rechem. D, Guergouri. K, khial. A** "A two dimensional analytical model study of the performance of junctionless trial-material cylindrical surrounding-gate MOSFET". International Semiconductor Conference (CAS 2016: 10-12 octobre 2016, Sinaia, Romania).
- 7- **Lagraf. F, Rechem. D, Guergouri. K** "The Impact of High-K Gate Dielectrics on Junctionless Trial Material Cylindrical Surrounding-Gate MOSFETs Performance". Colloque International sur Les Matériaux et leurs Applications (CIMA'2017), (29-31 Octobre 2017, Université de Khenchela).
- 8- **Lagraf. F, Rechem. D, Guergouri. K** "Modeling of Surrounding Gate MOSFETs with Interface trapped charges". Conférence internationale sur la Science des matériaux (ICMS 2018), (12-14 septembre 2018, Université de Ferhat Abbas Setif-1).
- 9- **Lagraf. F, Rechem. D, Guergouri. K** "Study and modeling of the nanoscale field effect transistor". Journée doctorale LCAM 2018 (27 Novembre 2018, Université d'Oum El Bouaghi).

# Résumé

# Résumé

## "Etude physique et modélisation du transistor à effet de champ à l'échelle nanométrique"

La diminution intensive de la longueur de canal pour un transistor MOS impose des contraintes importantes, notamment pour contrôler les effets de canal court (SCE) dans les MOSFETs à l'échelle nanométrique. Ces contraintes peuvent dégrader les performances du dispositif, déterminant ainsi les limites de miniaturisation des MOSFETs dans les applications nanoélectroniques. Afin de réduire le degré des SCE, un certain nombre de nouvelles architectures ont été proposées. En raison de leurs capacités de mise à l'échelle plus élevées, les transistors MOSFETs à grilles multiples devraient être maintenus dans les futures applications de nanoélectronique pour relever le défi lié à la réduction de la taille de ces transistors. Cependant, avec la miniaturisation continue, d'autres défis sérieux liés à la dissipation de puissance maximale et au coût de fabrication persistent en raison des techniques de coût élevé utilisées pour l'élaboration des jonctions p-n. Récemment, une nouvelle conception appelée MOSFET sans jonction a été proposée pour être une excellente alternative au MOSFET conventionnel. Le principal avantage de cette structure repose sur la procédure de fabrication améliorée grâce à l'élimination des jonctions p-n.

Le travail présenté dans cette thèse s'inscrit dans ce contexte, en l'occurrence l'étude physique et la modélisation du transistor JLTMCSSG-MOSFET (Junction Less Trial Material Cylindrical Surrounding Gate MOSFET) à l'échelle nanométrique, car Le JLTMCSSG-MOSFET est considéré comme étant le plus performant des transistors à grilles multiples, permettant un meilleur contrôle électrostatique du canal.

Pour ce faire on a utilisé un modèle analytique basé sur la solution exacte de l'équation de Poisson bidimensionnelle en coordonnées cylindriques, basée sur l'utilisation de la série de Fourier-Bessel et la méthode de séparation pour obtenir une solution précise. Ce modèle nous a permis d'étudier: l'effet de la longueur du canal  $L_c$ , l'effet des diélectriques élevés  $k$  (High  $k$ ) et l'effet des pièges de charges de l'interface sur les performances de JLTCSG-MOSFET.

Les performances des MOSFET JLTMCSSG de faible puissance ont été étudiées en termes de distribution du potentiel de surface, le champ électrique, le courant sous-seuil, l'abaissement de la barrière induite par le drain (DIBL), la pente sous-seuil (SS) et la tension de seuil ( $V_{th}$ ).

Les résultats obtenus jusqu'à présent par la simulation sont équivalents à ceux de la littérature, ce qui nous a permis de valider les nôtres, basés sur une approche plus simple et plus esthétique.

**Mots clés:** MOSFET; MOSFETs à grilles multiples; JLTMCSSG-MOSFET; Les effets des canaux courts (SCEs); Diélectriques élevés  $k$  (High  $k$ ); Pièges de charges; Modélisation de dispositifs à l'échelle nanométrique.

# Abstarct

## "Physical study and modeling of the field effect transistor at nanometric scale"

The intensive reduction in channel length for a MOS transistor imposes significant constraints, in particular to control the short channel effects (SCE) in MOSFETs at the nanometric scale. These constraints can degrade the performance of the device, thus determining the limits of miniaturization of MOSFETs in nano-electronic applications. In order to reduce the degree of SCE, a number of new architectures have been proposed. Due to their higher scaling capabilities, multi-gate MOSFETs should be maintained in future nano-electronics applications to overcome the challenge of reducing the size of these transistors. However, with continuous miniaturization, other serious challenges related to maximum power dissipation and manufacturing cost persist due to the high cost techniques used in the development of p-n junctions. Recently, a new design called MOSFET without junction has been proposed to be an excellent alternative to conventional MOSFET. The main advantage of this structure is the improved manufacturing procedure through the elimination of p-n junctions.

The work presented in this thesis is part of this context, this is the physical study and modeling of the JLTMCSSG-MOSFET transistor (Junction Less Trial Material Cylindrical Surrounding Gate MOSFET) at the nanometric scale, because the JLTMCSSG-MOSFET is considered to be the most efficient of the multi-gate transistors, allowing better electrostatic control of the channel.

To do this, we used an analytical model based on the exact solution of the two-dimensional Poisson equation in cylindrical coordinates, based on the use of the Fourier-Bessel series and the separation method to obtain a precise solution. This model allowed us to study: the effect of the length of the  $L_c$  channel, the effect of high dielectrics  $k$  (High  $k$ ) and the effect of interface trapped charges on the performance of JLTMCSSG-MOSFET.

The performances of low power JLTMCSSG MOSFETs were studied in terms of surface potential distribution, electric field, sub-threshold current, lowering of the drain-induced barrier (DIBL), sub-threshold slope (SS) and the threshold voltage ( $V_{th}$ ).

The results obtained so far by the simulation are equivalent to those of the literature, which allowed us to validate ours, based on a simpler and more aesthetic approach.

**Keywords:** MOSFET; Multi-gate MOSFETs; JLTMCSSG-MOSFET; Channel length effect (SCEs); High-k gate dielectrics; Trapped charges; Nanoscale device modeling.

# الملخص

## دراسة فيزيائية ونمذجة لترانزستور ذو تأثير مجال على السلم النانومتري

إن التصغير المكثف لطول قناة الترانزستور MOS يفرض آثار كبيرة، لاسيما التحكم في تأثيرات القناة القصيرة في الترانزستور MOSFET على السلم النانومتري. هذه الآثار يمكن أن تؤدي إلى انخفاض أداء الجهاز، وبالتالي تحديد حدود التصغير للترانزستور MOSFET في التطبيقات النانو الكترونية. فمن أجل التقليل من درجة هذه الآثار، تم تطوير منظومة جديدة من الترانزستورات نظراً لقدرة التحجيم الأعلى الخاصة بها.

الترانزستورات MOSFET ذات البوابات المتعددة يجب الحفاظ عليها في التطبيقات النانو الكترونية المستقبلية لمواجهة التحدي المتمثل في تقليل حجم هذه الترانزستورات. ومع ذلك مع استمرار التصغير، تستمر التحديات الأخرى المتعلقة بتبديد القدرة القصوى وتكلفة التصنيع بسبب التقنيات عالية التكلفة المستخدمة في تطوير الوصلات p-n. في الأونة الأخيرة تم اقتراح تصميم جديد يسمى MOSFET بدون وصلات ليكون بديلاً ممتازاً عن MOSFET التقليدي. الميزة الرئيسية لهذا الهيكل هي إجراء التصنيع المحسن بفضل التخلص من الوصلات p-n.

في هذا السياق، كان العمل المقدم في هذه الرسالة مكرس أساساً للدراسة الفيزيائية والنمذجة بواسطة المحاكاة للترانزستور JLTMCSSG-MOSFET على السلم النانومتري لأن الترانزستور JLTMCSSG-MOSFET يعتبر الأكثر كفاءة من بين الترانزستورات متعددة البوابة التي تسمح بالتحكم الإلكتروني للقناة. استخدمنا نموذج تحليلي يعتمد على الحل الدقيق لمعادلة بواسون (Poisson) ثنائية الأبعاد في الإحداثيات الأسطوانية باستخدام سلسلة فورييه بيسل (Fourier-Bessel) وطريقة الفصل للحصول على الحل الدقيق، سمح لنا هذا النموذج بدراسة تأثير كل من: طول قناة  $L_c$ ، العازل العالي K وتأثير مصائد الشحنات على أداء الترانزستور JLTMCSSG-MOSFET.

تتم دراسة أداء الترانزستور JLTMCSSG-MOSFET من حيث التوزيع المحتمل لكمون السطح، الحقل الكهربائي، التيار الكهربائي، خفض الحاجز الناجم عن التصريف (DIBL)، منحدر العتبة الفرعية (SS) وجهد العتبة ( $V_{th}$ ).

النتائج المتحصل عليها بواسطة المحاكاة حتى الآن مكافئة لتلك التي في المراجع، مع التأكيد على المقاربة البسيطة و الجذابة التي اعتمدها و هذا ماسمح لنا بالتأكد من صحة نتائجنا.

**الكلمات المفتاحية:** ترانزستور MOSFET، ترانزستور MOSFET متعدد البوابات، ترانزستور JLTMCSSG-MOSFET، تأثيرات القناة القصيرة (SCEs)، العازل العالي k، مصائد الشحنات، نمذجة جهاز نانومتري.